



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Intellectual
Property Office.

출원 번호 : 10-2003-0003359
Application Number

출원 년 월 일 : 2003년 01월 17일
Date of Application JAN 17, 2003

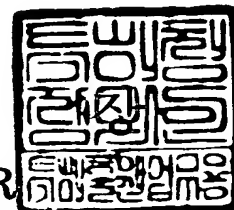
출원인 : 삼성전자주식회사
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.



2003 년 02 월 10 일

특 허 청

COMMISSIONER



【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【제출일자】	2003.01.17
【발명의 명칭】	반도체 장치 및 그 제조방법
【발명의 영문명칭】	Semiconductor device and Method of manufacturing the same
【출원인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【대리인】	
【성명】	박영우
【대리인코드】	9-1998-000230-2
【포괄위임등록번호】	1999-030203-7
【발명자】	
【성명의 국문표기】	이주용
【성명의 영문표기】	LEE, Ju Yong
【주민등록번호】	720429-1047135
【우편번호】	135-220
【주소】	서울특별시 강남구 수서동 까치마을아파트 1002/211
【국적】	KR
【발명자】	
【성명의 국문표기】	이규현
【성명의 영문표기】	LEE, Kyu Hyun
【주민등록번호】	661012-1794613
【우편번호】	445-973
【주소】	경기도 화성군 태안읍 반월리 868번지 신영통 현대아파트 205동 303 호
【국적】	KR
【심사청구】	청구
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 박영우 (인)

【수수료】

【기본출원료】 20 면 29,000 원

【가산출원료】 39 면 39,000 원

【우선권주장료】 0 건 0 원

【심사청구료】 36 항 1,261,000 원

【합계】 1,329,000 원

【첨부서류】 1. 요약서·명세서(도면)_1통

【요약서】**【요약】**

반도체 장치 및 그 제조방법이 개시되어 있다. 반도체 기판 상에 제1 절연층이 형성된다. 상기 제1 절연층 상에, 도전층 패턴 및 제2 절연층 패턴을 포함하는 배선들이 형성된다. 각 배선의 측벽에 실리콘 산화물 계의 물질로 이루어진 제3 절연층 패턴들이 형성된다. 그 측벽에 형성된 콘택 스페이서들을 포함하고, 상기 제3 절연층 패턴의 외주면에 접하면서 상기 제1 절연층을 관통하여 상기 제1 절연층의 하부 영역을 노출시키는 콘택홀을 한정하는 콘택 패턴들이 각각의 배선 위에 형성된다. 배선 패터닝에 사용되는 제2 절연층 패턴의 두께를 최소한으로 줄일 수 있어 배선과 배선 사이의 갭 매립 마진을 증가시킬 수 있다. 또한, 배선의 측벽에 유전율이 작은 실리콘 산화물로 이루어진 스페이서를 형성함으로써, 배선들 사이의 기생 캐패시턴스를 줄일 수 있다.

【대표도】

도 2f

【명세서】**【발명의 명칭】**

반도체 장치 및 그 제조방법{Semiconductor device and Method of manufacturing the same}

【도면의 간단한 설명】

도 1a 내지 도 1c는 종래 방법에 의한 자기정렬 콘택 구조를 갖는 DRAM 장치의 제조방법을 설명하기 위한 단면도들이다.

도 2a 내지 도 2f는 본 발명의 제1 실시예에 의한 반도체 장치의 제조방법을 설명하기 위한 단면도들이다.

도 3a 및 도 3b는 본 발명의 제2 실시예에 의한 반도체 장치의 제조방법을 설명하기 위한 단면도들이다.

도 4는 본 발명의 제3 실시예에 의한 DRAM 장치의 단면도이다.

도 5a 내지 도 5h는 본 발명의 제3 실시예에 의한 DRAM 장치의 제조방법을 설명하기 위한 단면도들이다.

도 6a 및 도 6b는 본 발명의 제4 실시예에 의한 DRAM 장치의 제조방법을 설명하기 위한 단면도들이다.

도 7a 내지 도 7d는 본 발명의 제5 실시예에 의한 DRAM 장치의 제조방법을 설명하기 위한 단면도들이다.

<도면의 주요 부분에 대한 부호의 설명>

50, 100 : 반도체 기판 102 : 층간 절연막

52, 106 : 제1 절연층 104 : 패드 전극

54, 108 : 도전층 패턴 56, 110 : 제2 절연층 패턴

58, 112 : 배선 60, 61, 114, 117 : 제3 절연층

60a, 61a, 114a, 117a : 제3 절연층 패턴

62, 116, 116a : 콘택 패턴 64, 118, 118a : 콘택 스페이서

66, 120 : 콘택홀 122 : 콘택 플러그

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

- <16> 본 발명은 반도체 장치 및 그 제조방법에 관한 것으로, 보다 상세하게는 다이내믹 랜덤 액세스 메모리(이하, DRAM이라 한다) 장치 및 그 제조방법에 관한 것이다.
- <17> 반도체 장치의 제조 기술들이 발달되고 메모리 장치에 대한 응용이 확대됨에 따라, 고 용량을 갖는 메모리 장치들이 개발되어 왔다. 특히, 하나의 캐패시터와 하나의 트랜지스터로 메모리 셀이 구성되는 DRAM 장치는 그 집적도가 현저히 향상되어 왔다.
- <18> 반도체 장치의 집적도가 증가함에 따라, 소자와 소자 또는 층과 층을 고전도성 박막으로 연결시키는 콘택홀의 크기는 감소하는 반면, 층간 절연막의 두께는 증가하고 있다. 따라서, 콘택홀의 어스펙트비(즉, 홀의 직경에 대한 홀의 길이의 비)가 증가하여 사진식각(photolithography process) 공정에서 콘택홀의 정렬 마진이 감소함으로써, 기존의 콘택 형성방법으로는 미세 크기의 콘택홀을 형성하는 것이 어렵게 되었다.

- <19> 이에 따라, DRAM 장치에서는 콘택홀의 어스펙트비를 감소시키기 위해 랜딩 패드 (landing pad)를 사용하고 있으며, $0.1\mu\text{m}$ 이하의 패턴 크기에서는 자기정렬 콘택 (self-aligned contact) 구조를 이용하여 정렬 마진의 감소에 따른 단락 발생의 문제를 해결하고 있다.
- <20> 도 1a 내지 도 1c는 종래 방법에 의한 자기정렬 콘택 구조를 갖는 DRAM 장치의 제조방법을 설명하기 위한 단면도들이다.
- <21> 도 1a를 참조하면, 반도체 기판(10) 상에 게이트 전극 및 소오스/드레인 영역으로 이루어진 MOS 트랜지스터(도시하지 않음)들을 형성한다. 상기 게이트 전극은 게이트 절연막, 실리콘 질화물로 이루어진 게이트 캡핑층 및 실리콘 질화물로 이루어진 게이트 측벽 스페이서를 포함한다.
- <22> 상기 MOS 트랜지스터들이 형성된 기판(10)의 전면에 실리콘 산화물로 이루어진 제1 층간 절연막(12)을 형성한 후, 화학 기계적 연마(chemical mechanical polishing : CMP) 공정 또는 에치백 공정에 의해 상기 제1 층간 절연막(12)을 평탄화시킨다. 그런 다음, 실리콘 질화물에 대해 높은 식각 선택비를 갖는 식각 조건으로 상기 제1 층간 절연막(12)을 식각하여 상기 게이트 전극에 대해 자기정렬되면서 상기 소오스/드레인 영역을 노출시키는 콘택홀(13)들을 형성한다.
- <23> 상기 제1 층간 절연막(12) 및 콘택홀(13)들 상에 도핑된 폴리실리콘층을 증착한 후, CMP 또는 에치백 공정을 통해 상기 폴리실리콘층을 노드 분리하여 상기 소오스/드레인 영역 상에 패드 전극(14)들을 형성한다.

- <24> 이어서, 상기 제1 층간 절연막(12) 및 상기 패드 전극(14)들 상에 실리콘 산화물로 이루어진 제2 층간 절연막(16)을 약 1000~3000Å의 두께로 증착한 후, CMP 또는 에치백 공정으로 상기 제2 층간 절연막(16)을 평탄화시킨다.
- <25> 통상의 사진식각 공정에 의해 상기 제2 층간 절연막(16)을 부분적으로 식각하여 드레인 영역 상의 패드 전극을 노출시키는 비트라인 콘택홀(도시하지 않음)을 형성한 후, 상기 비트라인 콘택홀을 매립하도록 도전 물질로 이루어진 비트라인 콘택 플러그(도시하지 않음)를 형성한다. 상기 비트라인 콘택 플러그는 드레인 영역 상의 패드 전극에 연결된다.
- <26> 상기 비트라인 콘택 플러그 및 제2 층간 절연막(16) 상에 텅스텐을 약 400~800Å의 두께로 증착하여 도전층을 형성하고, 상기 도전층 상에 실리콘 질화물을 약 3000Å의 두께로 두겹게 증착하여 비트라인 마스크층을 형성한다. 이어서, 사진식각 공정으로 상기 비트라인 마스크층 및 도전층을 식각하여 비트라인 마스크층 패턴(20) 및 도전층 패턴(18)으로 이루어진 비트라인(22)들을 형성한다. 상기 비트라인(22)은 비트라인 콘택 플러그에 연결된다.
- <27> 도 1b를 참조하면, 상기 비트라인(22) 및 제2 층간 절연막(16) 상에 실리콘 질화막을 증착하고 이를 이방성 식각하여 상기 비트라인(22)의 측벽에 실리콘 질화물로 이루어진 비트라인 스페이서(24)들을 형성한다.
- <28> 도 1c를 참조하면, 상기 결과물의 전면에 BPSG(borophosphosilicate glass), USG(undoped silicate glass), HDP(high density plasma) 산화물 또는 CVD(chemical vapor deposition) 산화물로 이루어진 제3 층간 절연막(26)을 증착한 후, CMP 또는 에치백 공정으로 상기 제3 층간 절연막(26)을 평탄화시킨다.

- <29> 그런 다음, 사진 공정으로 상기 제3 층간 절연막(26) 상에 스토리지 노드 콘택홀 영역을 한정하는 포토레지스트 패턴(도시하지 않음)을 형성한다. 이때, 상기 포토레지스트 패턴은 상기 비트라인(22)과 비트라인(22) 사이의 간격보다 넓은 개구 영역을 갖기 때문에, 비트라인(22)의 모서리 부분의 비트라인 마스크층 패턴(20) 및 비트라인 스페이서(24)가 노출된다.
- <30> 이어서, 상기 포토레지스트 패턴을 식각 마스크로 이용하고 실리콘 질화물로 이루어진 비트라인 스페이서(24)에 대해 높은 식각 선택비를 갖는 식각 가스로 상기 제3 층간 절연막(26) 및 제2 층간 절연막(16)을 선택적으로 식각한다. 그러면, 상기 비트라인(22)에 대해 자기정렬되면서 인접한 비트라인(22)들 사이의 패드 전극(14), 즉 소오스 영역 상의 패드 전극(14)을 노출시키는 스토리지 노드 콘택홀(28)이 형성된다.
- <31> 이어서, 상기 포토레지스트 패턴을 제거한 후, 상기 스토리지 노드 콘택홀(28)의 내부에 도전 물질, 예컨대 도핑된 폴리실리콘으로 이루어진 스토리지 노드 콘택 플러그(도시하지 않음)를 형성한다.
- <32> 상술한 종래 방법에 의하면, 자기정렬 콘택 식각 공정의 마진을 확보하기 위하여 실리콘 질화물로 이루어진 비트라인 마스크층 패턴(20)의 두께를 증가시켜야 하므로 비트라인(22)의 높이가 높아지게 된다. 반면에, 패턴의 디자인 룰이 $0.1\mu\text{m}$ 이하로 감소함에 따라 비트라인(22)과 비트라인(22) 사이의 간격이 줄어들게 되므로, 비트라인(22)의 어스펙트비가 증가하게 된다. 따라서, 비트라인(22)의 측벽에 비트라인 스페이서(24)가 형성되어 있는 상태에서 제3 층간 절연막(26)을 증착하면, 비트라인들 사이의 간격이 더욱 줄어들게 되어 비트라인(22)의 어스펙트비가 더욱 증가하게 된다. 그 결과, 비트라인(22)과 비트라인(22) 사이의 갭(gap)을 제3 층간 절연막(26)이 충분히 채우지

못하게 됨으로써, 보이드(void)가 발생하게 된다. 이와 같이 제3 층간 절연막(26) 내에 보이드가 형성되면, 후속의 세정 공정에 의해 상기 보이드가 확장되어 스토리지 노드 콘택 플러그용 폴리실리콘을 증착할 때 상기 폴리실리콘이 확장된 보이드 내로 침투하게 된다. 따라서, 스토리지 노드 콘택 플러그들이 서로 연결되어 인접한 스토리지 노드 콘택 플러그 간에 브리지(bridge)가 발생하게 된다. 이러한 보이드 문제를 피하기 위하여 비트라인 마스크층의 두께를 감소시킬 경우에는, 포토레지스트와 실리콘 질화물과의 낮은 식각 선택비로 인하여 비트라인 닛칭(notching)이 발생하게 된다.

<33> 또한, 스토리지 노드 콘택홀(28)을 형성하기 위한 자기정렬 콘택 식각 공정시 비트라인(22)의 숄더 마진(shoulder margin)이 작아 비트라인(22)을 보호하고 있는 비트라인 마스크층 패턴(20) 및 비트라인 스페이서(24)이 식각됨으로써 비트라인(22)과 스토리지 노드 콘택 플러그가 전기적으로 단락되는 문제가 발생한다.

<34> 비트라인은 DRAM 장치의 메모리 셀에 축적된 전하의 유·무를 검출하기 위한 배선이며, 주변 회로 영역의 센스 앰프에 연결된다. 메모리 셀에 축적된 전하의 검출에 의해 비트라인의 전압 변동이 검출되며, 이러한 전압 변동은 메모리 셀의 스토리지 캐패시턴스가 클수록 또는, 비트라인 로딩 캐패시턴스가 작을수록 커진다. 따라서, 비트라인 로딩 캐패시턴스를 작게 만드는 것이 센스 앰프의 감도를 향상시키는 것이므로, 신뢰성 향상 및 응답 속도의 향상 등의 측면에서 비트라인 로딩 캐패시턴스는 가능한 한 낮은 것이 바람직하다.

<35> 상술한 종래 방법에서는 자기정렬 콘택 구조를 위해 비트라인(22)의 측벽에 유전율이 높은 실리콘 질화물로 이루어진 비트라인 스페이서(24)를 형성하기 때문에, 기생 캐패시턴스, 즉 비트라인과 스토리지 노드 콘택 플러그 사이 및 비트라인과 비트라인 사이

의 비트라인 로딩 캐패시턴스가 커지게 된다. 또한, 캐패시턴스 C는 두께가 작아질수록 커지는데, 패턴의 디자인-룰이 감소할수록 상기 비트라인 스페이서(24)의 두께가 더욱 작아지게 됨으로써 비트라인 로딩 캐패시턴스가 더욱 증가하게 된다. 따라서, 이를 고려하여 셀 어레이를 구성하는 비트라인의 개수를 감소시켜야 하므로 웨이퍼 내 가용 칩의 수가 줄어드는 문제가 있다.

<36> 미합중국 특허 제6,458,692호 및 일본국 공개 특허 공보 2001-217405호에는 비트라인의 측벽에 유전율이 작은 실리콘 산화막으로 이루어진 스페이서를 형성하여 비트라인 로딩 캐패시턴스를 줄일 수 있는 콘택 형성방법들이 개시되어 있다. 그러나, 이들 방법들에 의하면 비트라인 마스크층의 두께를 줄이는 데 한계가 있어 층간 절연막의 갭 매립 마진이 감소하거나, 자기정렬 콘택 식각 공정에 의해 비트라인의 솔더 마진이 줄어들어 비트라인과 스토리지 노드 콘택 플러그 간에 전기적 단락이 발생하는 문제가 있다.

【발명이 이루고자 하는 기술적 과제】

<37> 따라서, 본 발명의 제1의 목적은 배선과 배선 사이의 갭을 보이드 없이 효과적으로 매립하고, 배선의 솔더 마진을 확보하며, 기생 캐패시턴스를 감소시킬 수 있는 반도체 장치를 제공하는데 있다.

<38> 본 발명의 제2의 목적은 배선과 배선 사이의 갭을 보이드 없이 효과적으로 매립하고, 배선의 솔더 마진을 확보하며, 기생 캐패시턴스를 감소시킬 수 있는 반도체 장치의 제조방법을 제공하는데 있다.

<39> 본 발명의 제3의 목적은 비트라인과 비트라인 사이의 겹을 보이드 없이 효과적으로 매립하고, 비트라인의 솔더 마진을 확보하며, 비트라인 로딩 캐패시턴스를 감소시킬 수 있는 DRAM 장치를 제공하는데 있다.

<40> 본 발명의 제4의 목적은 비트라인과 비트라인 사이의 겹을 보이드 없이 효과적으로 매립하고, 비트라인의 솔더 마진을 확보하며, 비트라인 로딩 캐패시턴스를 감소시킬 수 있는 DRAM 장치의 제조방법을 제공하는데 있다.

【발명의 구성 및 작용】

<41> 상기한 제1의 목적을 달성하기 위하여 본 발명은, 반도체 기판; 상기 기판 상에 형성된 제1 절연층; 상기 제1 절연층 상에 형성되고, 도전층 패턴 및 상기 도전층 패턴 상에 적층된 제2 절연층 패턴을 포함하는 배선들; 각 배선의 측벽에 형성된 실리콘 산화물 계의 물질로 이루어진 제3 절연층 패턴들; 및 그 측벽에 형성된 콘택 스페이서들을 포함하여 각 배선 위의 제3 절연층 패턴 상에 형성되고, 상기 제3 절연층 패턴의 외주면에 접하면서 상기 제1 절연층을 관통하여 상기 제1 절연층의 하부 영역을 노출시키는 콘택 홀을 한정하는 콘택 패턴들을 구비하는 것을 특징으로 하는 반도체 장치를 제공한다.

<42> 본 발명의 바람직한 일 측면(aspect)에 의하면, 상기 제3 절연층 패턴은 상기 배선의 상면 및 측벽 상에 연속적으로 형성되고, 상기 콘택 패턴은 상기 배선 상면의 제3 절연층 패턴 위에 형성된다.

<43> 바람직하게는, 상기 제3 절연층 패턴은 상기 콘택 스페이서에 정렬되어 형성된다.

- <44> 바람직하게는, 상기 콘택 패턴 및 상기 콘택 스페이서는 상기 제3 절연층 패턴에 대해 식각 선택비를 갖는 물질, 예컨대 실리콘 질화물 또는 폴리실리콘 중의 어느 하나로 이루어진다.
- <45> 상기한 제2의 목적을 달성하기 위하여 본 발명은, 반도체 기판 상에 제1 절연층을 형성하는 단계; 상기 제1 절연층 상에, 도전층 패턴 및 상기 도전층 패턴 상에 적층된 제2 절연층 패턴을 포함하는 배선들을 형성하는 단계; 상기 배선들 및 상기 제1 절연층 상에 실리콘 산화물 계의 물질로 이루어진 제3 절연층을 형성하는 단계; 각 배선 위에, 상기 제1 절연층의 하부 영역을 노출시키는 콘택홀을 한정하기 위한 콘택 패턴들을 형성하는 단계; 각 콘택 패턴의 측벽에 콘택 스페이서들을 형성하는 단계; 및 상기 콘택 패턴 및 콘택 스페이서들을 마스크로 이용하여 상기 제3 절연층 및 제1 절연층을 식각하여 상기 콘택홀을 형성함과 동시에, 각 배선의 측벽에 제3 절연층 패턴을 형성하는 단계를 구비하는 것을 특징으로 하는 반도체 장치의 제조방법을 제공한다.
- <46> 바람직하게는, 상기 콘택 패턴을 형성하는 단계 전에, 상기 제3 절연층을 상기 배선들 위의 소정 부위까지 평탄화시키거나 상기 제2 절연층 패턴의 표면까지 평탄화시키는 단계를 더 구비한다.
- <47> 상기한 제3의 목적을 달성하기 위하여 본 발명은, 캐패시터 콘택 영역들을 갖는 반도체 기판; 상기 기판 상에 형성된 제1 절연층; 상기 캐패시터 콘택 영역들 사이의 제1 절연층 상에 형성되고, 제1 도전층 패턴 및 상기 제1 도전층 패턴 상에 적층된 제2 절연층 패턴을 포함하는 비트라인들; 각 비트라인의 측벽에 형성된 실리콘 산화물 계의 물질로 이루어진 제3 절연층 패턴들; 및 그 측벽에 형성된 콘택 스페이서들을 포함하여 각 비트라인 위에 형성되고, 상기 제3 절연층 패턴의 외주면에 접하면서 상기 제1 절연층을

관통하여 상기 비트라인들 사이의 상기 캐패시터 콘택 영역을 노출시키는 스토리지 노드 콘택홀을 한정하는 콘택 패턴들을 구비하는 것을 특징으로 하는 DRAM 장치를 제공한다.

<48> 상기한 제4의 목적을 달성하기 위하여 본 발명은, 캐패시터 콘택 영역들을 갖는 반도체 기판 상에 제1 절연층을 형성하는 단계; 상기 캐패시터 콘택 영역들 사이의 제1 절연층 상에, 제1 도전층 패턴 및 제2 절연층 패턴을 포함하는 비트라인들을 형성하는 단계; 상기 비트라인들 및 제1 절연층 상에 실리콘 산화물 계의 물질로 이루어진 제3 절연층을 형성하는 단계; 각 비트라인 위에, 상기 비트라인들 사이의 상기 캐패시터 콘택 영역을 노출시키는 스토리지 노드 콘택홀을 한정하기 위한 콘택 패턴들을 형성하는 단계; 각 콘택 패턴의 측벽에 콘택 스페이서들을 형성하는 단계; 및 상기 콘택 패턴 및 콘택 스페이서들을 마스크로 이용하여 상기 제3 절연층 및 제1 절연층을 식각하여 상기 스토리지 노드 콘택홀을 형성함과 동시에, 각 비트라인의 측벽에 제3 절연층 패턴을 형성하는 단계를 구비하는 것을 특징으로 하는 DRAM 장치의 제조방법을 제공한다.

<49> 본 발명에 의하면, 실리콘 산화물 계의 물질에 대해 식각 선택비를 갖는 물질로 이루어진 콘택 패턴 및 콘택 스페이서를 비트라인과 같은 배선 위에 형성한 후, 상기 콘택 패턴 및 콘택 스페이서를 식각 마스크로 이용하여 실리콘 산화물 계의 물질로 이루어진 절연층을 식각하여 배선과 배선 사이에 콘택홀을 형성한다. 상기 콘택 식각 공정시 상기 콘택 패턴 및 콘택 스페이서가 배선의 도전층 패턴을 보호하는 역할을 하기 때문에, 배선의 제2 절연층 패턴의 두께를 최소한으로 낮추어 배선의 높이를 줄일 수 있다. 따라서, 배선의 어스펙트비를 감소시켜 배선과 배선 사이의 갭 매립 마진을 증가시킬 수 있다.

- <50> 또한, 스토리지 노드 콘택홀과 같이 배선과 배선 사이에 형성되는 콘택홀을 자기정렬 콘택 식각 방식으로 형성하지 않기 때문에, 배선의 솔더 마진을 확보하여 배선과 상부 콘택홀의 내부에 형성되는 콘택 플러그 간의 전기적 단락을 방지할 수 있다.
- <51> 또한, 배선의 측벽에 유전율이 작은 실리콘 산화물 계의 물질로 이루어진 스페이서가 형성되므로, 배선과 배선 사이 및 배선과 콘택 플러그 간의 기생 캐패시턴스를 줄일 수 있다.
- <52> 이하, 첨부한 도면을 참조하여 본 발명의 바람직한 실시예를 상세히 설명한다.
- <53> 실시예 1
- <54> 도 2a 내지 도 2f는 본 발명의 제1 실시예에 의한 반도체 장치의 제조방법을 설명하기 위한 단면도들이다.
- <55> 도 2a를 참조하면, 반도체 기판(50)상에 제1 절연층(52), 도전층(53) 및 제2 절연층(55)을 형성한다. 구체적으로, 반도체 기판(50) 상에 실리콘 산화물 계의 물질을 증착하여 제1 절연층(52)을 형성한 후, 상기 제1 절연층(52) 상에 도전층(53)을 형성한다. 바람직하게는, 상기 도전층(53)은 제1 금속의 화합물, 예컨대 티타늄/티타늄 나이트라이드(Ti/TiN)로 이루어진 제1 층 및 제2 금속, 예컨대 텅스텐(W)으로 이루어진 제2 층의 복합 층으로 형성한다. 이어서, 상기 도전층(53) 상에 실리콘 질화물을 증착하여 제2 절연층(55)을 형성한다.
- <56> 여기서, 상기 도전층(53)을 형성하기 전에, 사진식각 공정에 의해 상기 제1 절연층(52)을 부분적으로 식각하여 제1 절연층(52)의 제1 하부 영역을 노출시키는 제1

콘택홀(도시하지 않음)을 형성할 수 있다. 이때, 상기 도전층(53)은 상기 제1 콘택홀을 통해 제1 절연층(52)의 제1 하부 영역과 전기적으로 접속된다.

<57> 또한, 도시하지는 않았으나 상기 제1 콘택홀을 형성하는 단계와 상기 도전층(53)을 형성하는 단계 사이에, 상기 제1 콘택홀 및 제1 절연층(52) 상에 장벽 금속층을 증착하고, 상기 장벽 금속층 상에 제3 금속층을 증착하고, 상기 제1 절연층(52) 상의 제3 금속층을 제거하여 상기 제1 콘택홀의 내부에 장벽 금속층과 제3 금속층으로 이루어진 제1 콘택 플러그를 형성하는 공정을 더 구비할 수도 있다. 이때, 상기 장벽 금속층은 티타늄/티타늄 나이트라이드(Ti/TiN)로 형성하고, 상기 제3 금속층은 텅스텐(W)으로 형성한다. 이와 같이 제1 콘택 플러그를 형성하는 경우에는 상기 도전층(53)을 제4 금속, 예컨대 텅스텐으로 이루어진 단일 층으로 형성한다.

<58> 도 2b를 참조하면, 상기 제2 절연층(55) 및 도전층(53)을 패터닝하여 배선(58)을 형성한다. 구체적으로, 상기 제2 절연층(55) 상에 포토레지스트를 코팅하여 포토레지스트막을 형성한 후, 상기 포토레지스트막을 노광 및 현상하여 제1 포토레지스트 패턴(도시하지 않음)을 형성한다. 그런 다음, 상기 제1 포토레지스트 패턴을 식각 마스크로 이용하여 상기 제2 절연층(55) 및 도전층(53)을 차례로 식각하여 제2 절연층 패턴(56) 및 도전층 패턴(54)을 포함하는 배선(58)을 형성한다.

<59> 또는, 상기 제1 포토레지스트 패턴을 이용하여 상기 제2 절연층(55)을 식각한 후, 패터닝된 제2 절연층(56)을 층 패턴(56)을 식각 마스크로 이용하여 상기 도전층(53)을 식각하여 도전층 패턴(54)을 형성할 수도 있다. 패턴의 디자인-룰이 감소할수록 포토레지스트막과 그 하지막에 대한 선택비의 저하로 인한 패터닝 불량 발생하기 때문에, 0.1 μ m 이하의 디자인-룰을 갖는 반도체 장치에서는 하지막에 대해 식각 선택비를 갖는

물질로 이루어진 하드 마스크층을 사용하여 하지막을 패터닝하는 것이 바람직하다. 따라서, 상기 제2 절연층 패턴(53)은 도전층 패턴(54)의 캡핑층으로 제공되면서, 배선 패턴을 위한 하드 마스크층으로 사용된다.

<60> 도 2c를 참조하면, 상술한 바와 같이 배선(58)을 형성한 후, 상기 배선(58)들을 포함한 제1 절연층(52) 상에 층간 절연막으로 사용되는 제3 절연층(60)을 형성한다. 구체적으로, 상기 배선(58)들이 형성되어 있는 결과물의 전면에 USG, HDP 산화물 또는 CVD 산화물과 같은 실리콘 산화물 계의 물질을 증착하여 제3 절연층(60)을 형성한다. 이때, 상기 도전층(53)이 텅스텐을 포함할 경우, 고온 산화막과 같이 고온에서 증착되거나 BPSG나 SOG와 같이 증착 후 고온의 베이킹 공정이 필요한 산화막으로 제3 절연층(60)을 형성하면 도전층 패턴(56)의 측벽이 노출되어 있기 때문에 텅스텐이 산화되는 문제가 발생한다. 따라서, 이를 방지하기 위해 저온에서 증착되면서 보이드 없이 겹 매립을 구현할 수 있는 고밀도 플라즈마(HDP) 방식으로 제3 절연층(60)을 증착하는 것이 바람직하다. 상기 제3 절연층(60)은 상기 배선(58)과 후속 공정에서 형성되어질 제2 콘택 플러그 간의 격리를 위한 층간 절연막으로 사용된다.

<61> 그런 다음, 화학 기계적 연마(CMP) 또는 에치백 공정으로 상기 제3 절연층(60)의 표면을 상기 배선(58) 위의 소정 부위까지 평탄화시킨다.

<62> 도 2d를 참조하면, 제1 절연층(52)의 제2 하부 영역을 노출시키는 제2 콘택홀 영역(63)을 한정하는 콘택 패턴(62)을 형성한다. 구체적으로, 평탄화된 제3 절연층(60) 상에 실리콘 산화물 계의 물질로 이루어진 제3 절연층에 대해 식각 선택비를 갖는 물질, 예컨대 실리콘 질화물 또는 폴리실리콘을 증착하여 제3 절연층(도시 안됨)을 형성한다. 상기

제3 절연층 상에 포토레지스트를 코팅하여 포토레지스트막을 형성한 후, 상기 포토레지스트막을 노광 및 현상하여 제2 포토레지스트 패턴(도시하지 않음)을 형성한다.

<63> 이어서, 상기 제2 포토레지스트 패턴을 식각 마스크로 이용하여 상기 제3 절연층을 식각하여 제2 콘택홀 영역(63)을 한정하는 콘택 패턴(62)을 형성한 후, 에칭 및 스트립 공정으로 상기 제2 포토레지스트 패턴을 제거한다.

<64> 바람직하게는, 상기 제3 절연층을 식각할 때 과도 식각으로 인하여 그 하부의 배선(58)이 어택(attack) 받는 것을 방지하기 위하여 상기 콘택 패턴(62)은 상기 배선(58)의 폭보다 큰 폭으로 형성한다. 이때, 상기 콘택 패턴(62)과 콘택 패턴(62) 사이의 간격은 제2 콘택홀의 디자인-룰로 결정된다. 상기 콘택 패턴(62)을 실리콘 질화물로 형성하는 경우에는, 상기 콘택 패턴(62)이 후속 공정에서 상기 제2 콘택홀의 내부에 형성되어질 제2 콘택 플러그를 인접한 제2 콘택 플러그로부터 격리시키기 위한 층간 절연막으로 사용된다.

<65> 도 2e를 참조하면, 상기 콘택 패턴(62)의 측벽에 콘택 스페이서(64)들을 형성한다. 구체적으로, 상기 콘택 패턴(62)들이 형성되어 있는 결과물의 전면에 실리콘 산화물 계의 물질로 이루어진 제3 절연층(60)에 대해 식각 선택비를 갖는 물질, 예컨대 실리콘 질화물 또는 폴리실리콘을 증착하여 제4 절연층(도시 안됨)을 형성한다.

<66> 이어서, 상기 제4 절연층을 이방성 식각하여 각각의 콘택 패턴(62)의 측벽에 콘택 스페이서(64)들을 형성한다.

<67> 도 2f를 참조하면, 제1 절연층(52)의 제2 하부 영역을 노출시키는 제2 콘택홀(66)을 형성한다. 구체적으로, 상기 콘택 패턴(62) 및 콘택 스페이서(64)를 식각 마스크로

이용하여 실리콘 산화물로 이루어진 상기 제2 및 제1 절연층(60, 52)을 이방성 식각함으로써 상기 제1 절연층(52)의 제2 하부 영역을 노출시키는 제2 콘택홀(66)을 형성함과 동시에, 상기 배선(58)의 측벽 상에 제3 절연층 패턴(60a)으로 이루어진 스페이서를 형성한다. 따라서, 상기 제2 콘택홀(66)은 제3 절연층 패턴(60a)의 외주면에 접하면서 상기 제1 절연층(52)의 제2 하부 영역을 노출시키도록 형성된다. 이때, 상기 배선(58)의 측벽 상에 형성된 제3 절연층 패턴(60a)은 상기 콘택 스페이서(64)에 정렬된다.

<68> 이어서, 상기 제2 콘택홀(66)이 형성되어 있는 결과물의 전면에 도전 물질, 예컨대 도핑된 폴리실리콘이나 금속을 증착한 후, CMP 또는 에치백과 같은 평탄화 공정을 수행하여 노드 분리된 제2 콘택 플러그(도시하지 않음)를 형성한다.

<69> 한편, 상기 콘택 패턴(62) 및 콘택 스페이서(64)를 폴리실리콘으로 형성하고 상기 제2 콘택 플러그를 도핑된 폴리실리콘으로 형성하는 경우에는, 상기 제2 콘택 플러그를 노드 분리시키기 위한 평탄화 공정이 제3 절연층 패턴(60a)의 표면까지 진행되어 제3 절연층 패턴(60a) 위의 폴리실리콘층이 모두 제거된다. 이때, 배선(58) 위의 제3 절연층 패턴(60a)은 제2 콘택 플러그의 노드 분리 마진을 확보할 수 있을 정도의 두께, 즉 노드 분리를 위한 평탄화 공정시 도전층 패턴(54)이 어택받는 것을 방지할 수 있을 정도의 두께로 남아있어야 한다.

<70> 상술한 바와 같이 본 실시예에 의하면, 실리콘 질화물로 이루어진 콘택 패턴(62) 및 콘택 스페이서(64)를 식각 마스크로 이용하여 실리콘 산화물로 이루어진 제3 절연층(60)을 식각하여 배선(58)들 사이에 제2 콘택홀(66)을 형성한다. 상기 콘택 식각 공정시 상기 콘택 패턴(62) 및 콘택 스페이서(64)가 도전층 패턴(54)을 보호하는 역할을 하기 때문에, 배선 패터닝에 사용되는 제2 절연층 패턴(56)의 두께를 최소한으로 낮출 수 있

다. 따라서, 배선(58)의 어스펙트비를 감소시켜 배선(58)과 배선(58) 사이의 갭 매립 마진을 증가시킬 수 있다. 또한, 제2 절연층 패턴(56)의 두께를 최소한으로 낮춤으로써, 디자인-룰이 감소하더라도 배선 패터닝을 위한 사진식각 공정을 용이하게 수행할 수 있다.

<71> 또한, 배선(58)과 배선(58) 사이에 형성되는 제2 콘택홀(66)을 자기정렬 콘택 식각 방식으로 형성하지 않기 때문에, 배선(58)의 솔더 마진을 확보하여 배선(58)과 상기 제2 콘택홀(66)의 내부에 형성되는 제2 콘택 플러그 간에 전기적 단락이 발생하는 것을 방지할 수 있다.

<72> 더욱이, 배선(58)의 측벽에 유전율이 작은 실리콘 산화막, 즉 제3 절연층 패턴(60a)으로 이루어진 스페이서가 형성되므로, 배선(58)과 배선(58) 사이 및 배선(58)과 제2 콘택 플러그 간의 기생 캐패시턴스를 줄일 수 있다.

<73> 실시예 2

<74> 도 3a 및 도 3b는 본 발명의 제2 실시예에 의한 반도체 장치의 제조방법을 설명하기 위한 단면도들로서, 제3 절연층(61)을 배선(58)의 표면까지 평탄화시키는 것을 제외하고는 상술한 제1 실시예와 동일하다. 본 실시예에서, 실시예 1에서와 동일한 부재는 동일한 참조부호를 사용하여 나타낸다.

<75> 도 3a를 참조하면, 실시예 1의 도 2a 및 도 2b에 도시한 바와 동일한 방법으로 반도체 기판(50) 상에 제1 절연층(52)을 형성한 후, 상기 제1 절연층(52) 상에 제2 절연층 패턴(56) 및 도전층 패턴(54)을 포함하는 배선(58)들을 형성한다.

- <76> 이어서, 상기 배선(58)들이 형성된 결과물의 전면에 실리콘 산화물 계의 물질을 증착하여 제3 절연층(61)을 형성하고, CMP 또는 에치백과 같은 평탄화 공정으로 상기 제2 절연층 패턴(56)의 표면이 노출될 때까지 상기 제3 절연층(61)을 제거한다.
- <77> 도 3b를 참조하면, 실시예 1의 도 2d 내지 도 2f에 도시한 바와 동일한 방법으로 콘택 패턴(62), 콘택 스페이서(64) 및 제2 콘택홀(66)을 형성한다.
- <78> 구체적으로, 상기 배선(58) 및 평탄화된 제3 절연층(61) 상에 상기 실리콘 산화물 계의 물질로 이루어진 제3 절연층(61)에 대해 식각 선택비를 갖는 물질, 예컨대 실리콘 질화물 또는 폴리실리콘을 증착하여 제3 절연층을 형성한다. 사진식각 공정으로 상기 제3 절연층을 패터닝하여 제1 절연층(52)의 제2 하부 영역을 노출시키는 제2 콘택홀 영역을 한정하는 콘택 패턴(62)들을 형성한다.
- <79> 상기 콘택 패턴(62)들이 형성된 결과물의 전면에 상기 실리콘 산화물 계의 물질로 이루어진 제3 절연층(61)에 대해 식각 선택비를 갖는 물질, 예컨대 실리콘 질화물 또는 폴리실리콘을 증착하여 제4 절연층을 형성한 후, 상기 제4 절연층을 이방성 식각하여 각각의 콘택 패턴(62)의 측벽에 콘택 스페이서(64)들을 형성한다.
- <80> 그런 다음, 상기 콘택 패턴(62) 및 콘택 스페이서(64)를 식각 마스크로 이용하여 상기 제3 절연층(61) 및 제1 절연층(52)을 이방성 식각함으로써 상기 제1 절연층(52)의 제2 하부 영역을 노출시키는 제2 콘택홀(66)을 형성함과 동시에, 상기 배선(58)의 측벽 상에 제3 절연층 패턴(61a)을 형성한다. 이와 같이 실리콘 산화물로 이루어진 제1 및 제3 절연층(52, 61)을 식각하는 동안 실리콘 질화물로 이루어진 콘택 패턴(62) 및 콘택 스페이서(64)가 제2 절연층 패턴(56)과 더불어 도전층 패턴(54)을 보호하기 때문에, 상기

제2 절연층 패턴(56)의 두께를 최소한으로 낮추어 배선(56)의 어스펙트비를 감소시킬 수 있다. 또한, 상기 콘택 패턴(62) 및 콘택 스페이서(64)에 의해 배선(58)의 솔더 마진이 확보되어 상기 제2 콘택홀(66)을 형성하기 위한 식각 공정에 의해 상기 배선(58)이 노출되는 것을 방지할 수 있다. 따라서, 배선(58)과 후속 공정에서 형성되어질 제2 콘택 플러그가 전기적으로 단락되는 문제가 발생하지 않는다.

<81> 이어서, 상기 제2 콘택홀(66)이 형성되어 있는 결과물의 전면에 도전 물질, 예컨대 도핑된 폴리실리콘이나 금속을 증착한 후, CMP 또는 에치백과 같은 평탄화 공정을 수행하여 노드 분리된 제2 콘택 플러그(도시하지 않음)를 형성한다. 이때, 배선 스페이서가 유전율이 작은 실리콘 산화물 계의 물질로 이루어진 제3 절연층 패턴(61a)으로 형성되기 때문에, 배선(58)과 배선(58) 사이 그리고 배선(58)과 제2 콘택 플러그 사이의 기생 캐패시턴스를 감소시킬 수 있다.

<82> 실시예 3

<83> 도 4는 본 발명의 제3 실시예에 의한 DRAM 장치의 단면도이다.

<84> 도 4를 참조하면, 반도체 기판(100) 상에 워드라인으로 제공되는 게이트 전극, 캐패시터 콘택 영역(예컨대, 소오스 영역) 및 비트라인 콘택 영역(예컨대, 드레인 영역)으로 구성된 MOS 트랜지스터(도시하지 않음)들이 형성되어 있다. 상기 게이트 전극은 게이트 절연막, 실리콘 질화물로 이루어진 게이트 캡핑층 및 실리콘 질화물로 이루어진 게이트 측벽 스페이서를 포함한다.

- <85> 상기 MOS 트랜지스터들 및 기판(100) 상에는 실리콘 산화물로 이루어진 층간 절연막(102)이 형성되어 있다. 상기 층간 절연막(102)을 관통하여 소오스/드레인 영역을 노출시키는 콘택홀(103)들이 게이트 전극에 자기정렬되어 형성된다. 상기 자기정렬 콘택홀(103)의 내부에는 도핑된 폴리실리콘으로 이루어진 패드 전극(104)들이 형성되어 있다. 상기 패드 전극(104)들은 평탄화 공정에 의해 노드 분리된다. 따라서, 본 실시예에서 캐패시터 콘택 영역은 소오스 영역 위에 형성된 패드 전극(104)을 포함하고, 비트라인 콘택 영역은 드레인 영역 위에 형성된 패드 전극을 포함한다.
- <86> 상기 층간 절연막(102) 및 패드 전극(104)들 상에는 실리콘 산화물 계의 물질로 이루어진 제1 절연층(106)이 형성되어 있다. 상기 제1 절연층(106) 상에는 복수개의 비트라인(112)들이 형성되어 있다. 도시하지는 않았으나, 상기 제1 절연층(106)을 관통하여 그 하부의 비트라인 콘택 영역을 노출시키는 비트라인 콘택홀들이 형성되어 있고, 각각의 비트라인(112)들은 상기 비트라인 콘택홀을 통해 비트라인 콘택 영역, 즉 드레인 영역 위의 패드 전극에 접속된다.
- <87> 상기 비트라인(112)은 제1 도전층 패턴(108) 및 상기 제1 도전층 패턴(108) 상에 적층된 제2 절연층 패턴(110)을 포함한다. 각각의 비트라인(112)의 상면 및 측벽 상에는 실리콘 산화물 계의 물질로 이루어진 제3 절연층 패턴(114a)이 연속적으로 형성된다. 각각의 제3 절연층 패턴(114a) 상에는 실리콘 산화물에 대해 식각 선택비를 갖는 물질, 예컨대 실리콘 질화물로 이루어진 콘택 패턴(116)이 형성되어 있다. 각각의 콘택 패턴(116)의 측벽에는 실리콘 산화물 계의 물질에 대해 식각 선택비를 갖는 물질, 예컨대 실리콘 질화물로 이루어진 콘택 스페이서(118)들이 형성되어 있다.

- <88> 상기 콘택 패턴(116) 및 콘택 스페이서(118)는 비트라인(112)의 측벽 상의 제3 절연층 패턴(114a)의 외주면에 접하면서 비트라인(112)과 비트라인(112) 사이의 캐패시터 콘택 영역, 즉 패드 전극(104)을 노출시키는 스토리지 노드 콘택홀(120)을 한정하는 역할을 한다. 따라서, 각 비트라인(112)의 측벽에 형성된 제3 절연층 패턴(114a)은 상기 콘택 스페이서(118)에 정렬된다.
- <89> 상기 스토리지 노드 콘택홀(120)의 내부에는 도핑된 폴리실리콘 또는 금속과 같은 도전 물질로 이루어지고, 평탄화 공정에 의해 노드 분리되어진 스토리지 노드 콘택 플러그(122)가 형성되어 있다. 상기 스토리지 노드 콘택 플러그(122)는 상기 콘택 패턴(116)의 표면과 평탄화되도록 형성된다.
- <90> 본 실시예에 의한 DRAM 장치에 있어서, 실리콘 질화물로 이루어진 콘택 패턴(116) 및 콘택 스페이서(118)로 인하여 제2 절연층 패턴(110)의 두께를 최소한으로 낮출 수 있으므로 비트라인(112)의 어스펙트비를 줄여 비트라인(112)과 비트라인(112) 사이의 갭 매립 마진을 증가시킬 수 있다. 또한, 상기 콘택 패턴(116) 및 콘택 스페이서(118)에 의해 비트라인(112)의 솔더 마진이 확보되어 비트라인(112)과 스토리지 노드 콘택 플러그(122) 간에 전기적 단락이 발생하지 않는다.
- <91> 또한, 비트라인(112)이 유전율이 작은 실리콘 산화막, 즉 제3 절연층 패턴(114a)으로 형성된 스페이서를 갖기 때문에, 비트라인(112)과 비트라인(112) 사이 및 비트라인(112)과 스토리지 노드 콘택 플러그(122) 사이의 기생 캐패시턴스, 즉 비트라인 로딩 캐패시턴스를 줄일 수 있다. 비트라인 로딩 캐패시턴스가 25~30% 정도로 감소되면, 단위 비트라인 당 셀의 개수가 증가하여 셀의 효율을 향상시키고 웨이퍼 내 가용 칩의 수를 증가시킬 수 있다.

- <92> 도 5a 내지 도 5h는 본 실시예에 의한 DRAM 장치의 제조방법을 설명하기 위한 단면도들이다.
- <93> 도 5a는 패드 전극(104), 제1 절연층(106), 제1 도전층(107) 및 제2 절연층(109)을 형성하는 단계를 도시한다. 통상의 LOCOS 공정 또는 STI 공정을 통해 반도체 기판(100)을 필드 영역과 액티브 영역으로 구분한 후, 상기 기판(100)의 액티브 영역 상에 MOS 트랜지스터(도시하지 않음)들을 형성한다.
- <94> 즉, 열적 산화법(thermal oxidation)으로 액티브 영역의 표면에 얇은 게이트 산화막을 성장시킨 후, 그 위에 게이트 도전층 및 게이트 캡핑층을 차례로 증착한다.
- 이어서, 사진식각 공정으로 상기 게이트 캡핑층 및 게이트 도전층을 패터닝하여 워드라인으로 제공되는 게이트 전극을 형성한 후, 상기 게이트 전극의 측벽에 게이트 스페이서를 형성한다. 바람직하게는, 상기 게이트 캡핑층 및 게이트 스페이서는 실리콘 질화물로 형성한다. 그런 다음, 통상의 이온주입 공정을 통해 상기 게이트 스페이서 양측의 기판 표면에 소오스/드레인 영역을 형성한다. 여기서, 상기 게이트 스페이서를 형성하기 전에, LDD 이온주입을 실시하여 게이트 전극 양측의 기판 표면에 저농도의 소오스/드레인 영역을 형성함으로써, LDD 구조의 소오스/드레인을 구현할 수도 있다.
- <95> 상기 소오스/드레인 영역 중의 하나는 캐패시터의 스토리지 전극이 접속되어질 캐패시터 콘택 영역이며, 다른 하나는 비트라인이 접속되어질 비트라인 콘택 영역이다. 본 실시예에서는 소오스 영역이 캐패시터 콘택 영역이고 드레인 영역이 비트라인 콘택 영역이 된다.
- <96> 이어서, 상기 MOS 트랜지스터들을 포함한 기판(100)의 전면에 BPSG와 같은 산화물로 이루어진 층간 절연막(102)을 증착하고, 상기 실리콘 질화물로 이루어진 게이트 캡핑

층을 스톱퍼(stopper)로 이용하여 CMP 공정으로 상기 층간 절연막(102)을 평탄화한다.

다음에, 실리콘 질화물로 이루어진 게이트 캡핑층에 대해 높은 식각 선택비를 갖는 식각 조건으로 상기 층간 절연막(102)을 이방성 식각함으로써, 상기 게이트 전극에 자기정렬 되면서 소오스/드레인 영역을 노출시키는 콘택홀(103)들을 형성한다.

<97> 상기 콘택홀(103)들을 매립하도록 고농도의 불순물로 도핑된 폴리실리콘층을 증착한 후, 상기 게이트 캡핑층의 표면까지 상기 폴리실리콘층을 제거한다. 그러면, 각각의 콘택홀(103)의 내부에 소오스/드레인 영역과 접촉하는 패드 전극(104)들이 형성된다.

<98> 상기 패드 전극(104)들을 포함한 기판(100)의 전면에 BPSG, USG, HDP 산화물 또는 CVD 산화물과 같은 실리콘 산화물 계의 물질을 약 1000~3000Å의 두께로 증착하여 제1 절연층(106)을 형성한다. 상기 제1 절연층(106)은 상기 패드 전극(104)과 그 위에 형성되어질 비트라인을 서로 격리시키는 층간 절연막으로 사용된다.

<99> 상기 제1 절연층(106)을 증착한 후, 후속 사진 공정의 마진을 확보하기 위하여 CMP 공정 또는 에치백 공정으로 상기 제1 절연층(106)의 표면을 평탄화할 수 있다. 이때, 상기 제1 절연층(106)의 비트라인의 하부에서 약 1000~3000Å의 두께로 남아있도록 평탄화를 진행한다.

<100> 그런 다음, 사진식각 공정에 의해 상기 제1 절연층(106)을 부분적으로 식각하여 상기 드레인 전극 상의 패드 전극을 노출시키는 비트라인 콘택홀(도시하지 않음)을 형성한 후, 상기 비트라인 콘택홀 및 제1 절연층(106) 상에 비트라인용 제1 도전층(107) 및 실리콘 질화물로 이루어진 제2 절연층(109)을 차례로 증착한다. 바람직하게는, 상기 제1 도전층(107)은 제1 금속 및/또는 상기 제1 금속의 화합물, 예를 들어 티타늄/티타늄 나이트라이드(Ti/TiN)로 이루어진 제1 층 및 제2 금속, 예를 들어 텅스텐(W)으로 이루어진

제2 층의 복합 층으로 형성할 수 있다. 비트라인 패터닝을 위한 마스크로 사용되는 제2 절연층(109)은 후속의 콘택 식각 공정시 그 하부의 제1 도전층(107)을 보호하는 역할을 한다. 종래 방법에서는 후속의 콘택 식각 공정시 비트라인 마스크층만으로 비트라인용 도전층의 상면을 보호하기 때문에 상기 비트라인 마스크층을 3000Å 정도의 두께로 두껍게 형성하였다. 이에 반하여, 본 발명에서는 후속 공정에서 상기 제2 절연층(109) 상에 증착되는 제3 절연층 및 콘택 패터닝이 상기 제2 절연층(109)과 함께 비트라인용 제1 도전층(107)의 상면을 보호하기 때문에, 상기 제2 절연층(109)을 약 1000~1500Å의 두께로 얇게 형성할 수 있다. 따라서, 본 발명에 의하면 종래 방법에 비해 비트라인 마스크용 제2 절연층(109)의 두께를 50% 정도 낮출 수 있으므로, 비트라인 패터닝을 위한 사진식각 공정이 용이해지고 비트라인들 위에 증착되는 제3 절연층의 겹 매립 마진을 증가시킬 수 있다.

<101> 상술한 단계에 의하면, 이중 층으로 이루어진 제1 도전층(107)이 직접 비트라인 콘택홀에 접촉되어 형성된다. 이와는 달리, 상기 비트라인 콘택홀의 내부에 비트라인 콘택 플러그를 형성한 후, 상기 비트라인 콘택 플러그에 직접 접촉되도록 제1 도전층(107)을 형성할 수도 있다.

<102> 즉, 상기 비트라인 콘택홀을 형성한 후, 상기 비트라인 콘택홀 및 제1 절연층(106) 상에 티타늄/티타늄 나이트라이드(Ti/TiN)로 이루어진 장벽 금속층 및 텅스텐으로 이루어진 제3 금속층을 증착한 후, 에치백 또는 CMP 공정으로 상기 제1 절연층(106)의 표면이 노출될 때까지 제3 금속층을 제거한다. 그러면, 상기 비트라인 콘택홀의 내부에 상기 장벽 금속층과 제3 금속층으로 이루어진 비트라인 콘택 플러그가 형성된다. 이와 같이 비트라인 콘택 플러그가 형성되면, 상기 비트라인 콘택 플러그 및 제1 절연층(106) 상에

제4 금속, 예컨대 텅스텐으로 이루어진 제1 도전층(107)을 증착한다. 따라서, 비트라인 콘택 플러그를 형성할 경우에는 상기 비트라인용 제1 도전층(107)이 단일 층으로 형성된다.

<103> 도 5b는 비트라인(112)들을 형성하는 단계를 도시한다. 사진 공정으로 상기 제2 절연층(109) 상에 비트라인 패터닝을 위한 제1 포토레지스트 패턴(도시하지 않음)을 형성한 후, 상기 제1 포토레지스트 패턴을 식각 마스크로 이용하여 상기 제2 절연층(109) 및 제1 도전층(107)을 차례로 식각하여 제2 절연층 패턴(110) 및 제1 도전층 패턴(108)을 포함하는 비트라인(112)을 형성한다. 또는, 상기 제1 포토레지스트 패턴을 식각 마스크로 이용하여 상기 제2 절연층(109)을 식각하여 제2 절연층 패턴(110)을 형성한 후, 상기 제2 절연층 패턴(110)을 식각 마스크로 이용하여 상기 제1 도전층(107)을 식각할 수도 있다. $0.1\mu\text{m}$ 이하의 디자인-룰을 갖는 DRAM 장치에서는 후자의 방법으로 비트라인(112)을 형성하는 것이 바람직하다. 따라서, 상기 제2 절연층 패턴(110)은 제1 도전층 패턴(107)의 캡핑층으로 제공되면서, 비트라인 패터닝을 위한 하드 마스크층으로 사용된다.

<104> 여기서, 상기 제1 포토레지스트 패턴을 형성하기 전에, 상기 제2 절연층(109) 상에 사진식각 공정을 원활하게 수행하기 위하여 반사 방지층을 형성할 수도 있다. 이러한 반사 방지층은 통상적으로 실리콘 옥시나이트라이드(SiON)의 단일 층이나, 고온 산화막과 SiON 막으로 구성된 복수개의 층으로 형성할 수 있다. 상기 반사 방지층은 후속하는 사진식각 공정시 하부 기판으로부터 빛이 반사되는 것을 방지하는 역할을 한다.

<105> 도 5c는 제3 절연층(114)을 형성하는 단계를 도시한다. 상술한 바와 같이 비트라인(112)들을 형성한 후, 상기 비트라인(112)들을 포함한 제1 절연층(106) 상에 USG, HDP 산화물 또는 CVD 산화물과 같은 실리콘 산화물 계의 물질을 증착하여 제3 절연

층(114)을 형성한다. 이때, 상기 제1 도전층 패턴(108)이 텅스텐을 포함하고 있을 경우, 고온 산화막과 같이 고온에서 증착되거나 BPSG나 SOG와 같이 증착 후 고온의 베이킹 공정이 필요한 산화막으로 제3 절연층(114)을 형성하면 제1 도전층 패턴(108)의 측벽이 노출되어 있기 때문에 텅스텐이 산화되는 문제가 발생한다. 따라서, 이를 방지하기 위해 저온에서 증착되면서 보이드 없이 갭 매립을 구현할 수 있는 고밀도 플라즈마(HDP) 방식으로 제3 절연층(114)을 증착하는 것이 바람직하다.

<106> 그런 다음, CMP 또는 에치백 공정으로 상기 제3 절연층(114)의 표면을 상기 비트라인(112)들 위의 소정 부위까지 평탄화시킨다.

<107> 도 5d는 제3 절연층(115)을 형성하는 단계를 도시한다. 즉, 상술한 바와 같이 평탄화된 제3 절연층(114) 상에 실리콘 산화물 계의 물질로 이루어진 제3 절연층(114)에 대해 식각 선택비를 갖는 물질, 예컨대 실리콘 질화물을 1000~1500Å 정도의 두께로 증착하여 제3 절연층(115)을 형성한다.

<108> 도 5e는 콘택 패턴(116)들을 형성하는 단계를 도시한다. 상기 제3 절연층(115) 상에 사진 공정으로 제2 포토레지스트 패턴(도시하지 않음)을 형성한 후, 상기 제2 포토레지스트 패턴을 식각 마스크로 이용하여 상기 제3 절연층(115)을 식각하여 스토리지 노드 콘택홀 영역(119)을 한정하는 콘택 패턴(116)들을 형성한다. 이어서, 에싱 및 스트립 공정으로 상기 제2 포토레지스트 패턴을 제거한다.

<109> 바람직하게는, 상기 제3 절연층(115)을 식각할 때 과도 식각으로 인하여 그 하부의 비트라인(112)이 어택받는 것을 방지하기 위하여 상기 콘택 패턴(116)은 상기 비트라인(112)의 폭보다 큰 폭으로 형성한다. 이때, 상기 콘택 패턴(116)과 콘택 패턴(116) 사이의 간격은 스토리지 노드 콘택홀의 디자인-룰로 결정된다. 실리콘 질화물로 이루어진 콘

택 패턴(116)은 후속 공정에서 상기 스토리지 노드 콘택홀의 내부에 형성되어질 스토리지 노드 콘택 플러그를 인접한 스토리지 노드 콘택 플러그로부터 격리시키기 위한 층간 절연막으로 사용된다.

<110> 도 5f는 콘택 스페이서(118)들을 형성하는 단계를 도시한다. 상기 콘택 패턴(116)들이 형성되어 있는 결과물 상에 실리콘 산화물 계의 물질로 이루어진 제3 절연층(114)에 대해 식각 선택비를 갖는 물질, 예컨대 실리콘 질화물 또는 폴리실리콘을 약 300~600Å의 두께로 증착하여 제4 절연층을 형성한다. 이어서, 상기 제4 절연층을 이방성 식각하여 각각의 콘택 패턴(116)의 측벽에 콘택 스페이서(118)들을 형성한다.

<111> 도 5g는 스토리지 노드 콘택홀(120)을 형성하는 단계를 도시한다. 상기 콘택 패턴(116) 및 콘택 스페이서(118)들을 식각 마스크로 이용하여 실리콘 산화물로 이루어진 제3 절연층(114) 및 제1 절연층(106)을 연속적으로 이방성 식각함으로써 상기 비트라인(112)과 비트라인(112) 사이에 위치한 캐패시터 콘택 영역, 즉 소오스/영역 상의 패드 전극(104)을 노출시키는 스토리지 노드 콘택홀(120)을 형성한다. 이와 동시에, 상기 비트라인(112)의 측벽에 제3 절연층 패턴(114a)으로 이루어진 스페이서를 형성한다. 따라서, 상기 스토리지 노드 콘택홀(120)은 제3 절연층 패턴(114a)의 외주면에 접하면서 인접한 비트라인(112)들 사이의 캐패시터 콘택 영역, 즉 패드 전극(104)을 노출시키도록 형성된다.

<112> 종래 방법에서는 자기정렬 콘택 식각 공정으로 스토리지 노드 콘택홀을 형성하기 때문에, 비트라인의 솔더 마진이 부족하여 비트라인의 모서리 부분에 위치한 비트라인 마스크층 및 비트라인 스페이서가 식각됨으로써 비트라인과 스토리지 노드 콘택 플러그가 전기적으로 단락되는 문제가 발생하였다. 이에 반하여, 본 발명에서는 비트라인(112)

보다 넓은 폭으로 형성되는 콘택 패턴(116) 및 콘택 스페이서(118)에 의해 비트라인이 완전히 감싸져있는 상태에서 상기 콘택 패턴(116) 및 콘택 스페이서(118)를 식각 마스크로 이용하여 스토리지 노드 콘택홀(120)을 형성한다. 따라서, 스토리지 노드 콘택홀(120)이 자기정렬 콘택 식각 방식으로 형성되지 않으므로, 비트라인(112)의 솔더 마진을 확보하여 비트라인(112)과 스토리지 노드 콘택 플러그 간의 전기적 단락을 방지할 수 있다.

<113> 도 5h는 스토리지 노드 콘택 플러그(122)를 형성하는 단계를 도시한다. 상기 스토리지 노드 콘택홀(120)이 형성되어 있는 결과물의 전면에 도핑된 폴리실리콘이나 금속으로 이루어진 제2 도전층을 증착한 후, CMP 또는 에치백과 같은 평탄화 공정으로 상기 콘택 패턴(116)의 표면까지 상기 제2 도전층을 제거한다. 그러면, 상기 스토리지 노드 콘택홀(120)의 내부에 노드 분리된 스토리지 노드 콘택 플러그(122)가 형성된다. 이때, 상기 비트라인(112)의 상면 및 측벽 상에 형성된 제3 절연층 패턴(114a)은 비트라인(112)과 스토리지 노드 콘택 플러그(122)를 격리시키는 역할을 한다.

<114> 이어서, 통상의 캐패시터 형성공정으로 상기 스토리지 노드 콘택 플러그(122) 상에 스토리지 전극, 유전체막 및 플레이트 전극으로 구성된 캐패시터(도시하지 않음)를 형성한다.

<115> 상술한 바와 같이 본 실시예에 의하면, 실리콘 질화물로 이루어진 콘택 패턴(116) 및 콘택 스페이서(118)를 식각 마스크로 이용하여 실리콘 산화물로 이루어진 제3 절연층(114) 및 제1 절연층(106)을 식각하여 인접한 비트라인(112)들 사이의 패드 전극(104)을 노출시키는 스토리지 노드 콘택홀(120)을 형성한다. 상기 콘택 식각 공정시 상기 콘택 패턴(116) 및 콘택 스페이서(118)가 제1 도전층 패턴(108)을 보호하는 역할을 하기 때문

에, 비트라인 패터닝에 사용되는 제2 절연층 패턴(110)의 두께를 최소한으로 낮출 수 있다. 따라서, 비트라인(112)의 어스펙트비를 감소시켜 비트라인(112)과 비트라인(112) 사이의 갭 매립 마진을 증가시킬 수 있다.

<116> 또한, 인접한 비트라인(112)들 사이에 위치하는 스토리지 노드 콘택홀(120)을 자기 정렬 콘택 식각 방식으로 형성하지 않기 때문에, 비트라인(112)의 솔더 마진을 확보하여 비트라인(112)과 스토리지 노드 콘택 플러그(122) 간에 전기적 단락이 발생하는 것을 방지할 수 있다.

<117> 더욱이, 비트라인(112)의 측벽에 유전율이 작은 실리콘 산화물 계의 물질로 이루어진 제3 절연층 패턴(114a)의 스페이서가 형성되기 때문에, 비트라인(112)과 비트라인(112) 사이 및 비트라인(112)과 스토리지 노드 콘택 플러그(122) 간의 비트라인 로딩 캐패시턴스를 줄일 수 있다.

<118> 실시예 4

<119> 도 6a 및 도 6b는 본 발명의 제4 실시예에 의한 DRAM 장치의 제조방법을 설명하기 위한 단면도들로서, 스토리지 노드 콘택 플러그(122)를 제3 절연층 패턴(114a)의 표면까지 평탄화한 것을 제외하고는 상술한 실시예 3에서와 동일한 방법으로 수행한다. 본 실시예에서, 실시예 3에서와 동일한 부재는 동일한 참조부호를 사용하여 나타낸다.

<120> 도 6a를 참조하면, 실시예 3의 도 5a 내지 도 5d에 도시한 바와 동일한 방법으로 패드 전극(104)들이 형성되어 있는 반도체 기판(100) 상에 제1 절연층(106), 제1 도전층 패턴(108) 및 제2 절연층 패턴(110)을 포함하는 비트라인(112) 및 실리

콘 산화물 계의 물질로 이루어진 제3 절연층(114)을 형성한다. 에치백 또는 CMP 공정으로 상기 제3 절연층(114)을 비트라인(112) 위의 소정 부위까지 평탄화한 후, 결과물의 전면에 실리콘 산화물에 대해 높은 식각 선택비를 갖는 제1 폴리실리콘층을 증착하고, 사진식각 공정으로 상기 폴리실리콘층을 패터닝하여 스토리지 노드 콘택홀 영역을 한정하는 콘택 패턴(116a)들을 형성한다. 상기 콘택 패턴(116a)들이 형성된 결과물의 전면에 실리콘 산화물에 대해 높은 식각 선택비를 갖는 제2 폴리실리콘층을 증착하고, 상기 제2 폴리실리콘층을 이방성 식각하여 각각의 콘택 패턴(116a)의 측벽에 콘택 스페이서(118a)들을 형성한다.

<121> 이어서, 상기 콘택 패턴(116a) 및 콘택 스페이서(118a)를 식각 마스크로 이용하여 제3 절연층(114) 및 제1 절연층(106)을 이방성 식각함으로써 인접한 비트라인(112)들 사이의 캐패시터 콘택 영역, 즉 MOS 트랜지스터의 소오스 영역과 접촉하고 있는 패드 전극(104)을 노출시키는 스토리지 노드 콘택홀(120)을 형성한다. 상기 비트라인(112)의 상면 및 측벽을 둘러싸도록 제3 절연층 패턴(114a)이 형성된다. 그런 다음, 상기 스토리지 노드 콘택홀(120)이 형성된 결과물의 전면에 고농도로 도핑된 제3 폴리실리콘층(121)을 상기 스토리지 노드 콘택홀(120)을 충분히 매립할 수 있을 정도의 두께로 증착한다.

<122> 도 6b를 참조하면, CMP 또는 에치백 공정으로 상기 제3 폴리실리콘층(121)을 평탄화하여 각각의 스토리지 노드 콘택홀(120) 상에 노드 분리된 스토리지 노드 콘택 플러그(122)를 형성한다. 이때, 상기 콘택 패턴(116a) 및 콘택 스페이서(118a)가 폴리실리콘으로 형성되었기 때문에, 제3 폴리실리콘층(121)의 평탄화 공정시 함

게 제거된다. 따라서, 상기 비트라인(112) 위의 제3 절연층 패턴(114a)의 표면이 노출될 때까지 평탄화 공정을 수행함으로써, 제3 절연층 패턴(114a)의 표면과 동일한 높이를 갖는 스토리지 노드 콘택 플러그(122)를 형성한다.

<123> 이때, 상기 비트라인(112)의 제3 절연층 패턴(114a)은 스토리지 노드 콘택 플러그(122)의 노드 분리 마진을 확보할 수 있을 정도의 두께, 즉 노드 분리를 위한 평탄화 공정시 비트라인용 제1 도전층 패턴(108)이 어택받는 것을 방지할 수 있을 정도의 두께로 남아있어야 한다.

<124> 실시예 5

<125> 도 7a 내지 도 7d는 본 발명의 제5 실시예에 의한 DRAM 장치의 제조방법을 설명하기 위한 단면도들로서, 제3 절연층(117)을 비트라인(112)의 표면까지 평탄화시키는 것을 제외하고는 실시예 3에서와 동일한 방법으로 수행한다. 본 실시예에서, 실시예 3에서와 동일한 부재는 동일한 참조부호를 사용하여 나타낸다.

<126> 도 7a를 참조하면, 실시예 3의 도 5a 및 도 5b에 도시한 바와 동일한 방법으로 패드 전극(104)들을 갖는 반도체 기판(100)의 전면에 제1 절연층(106)을 형성하고, 상기 제1 절연층(106) 상에 제1 도전층 패턴(108) 및 제2 절연층 패턴(110)을 포함하는 비트라인(112)들을 형성한다.

<127> 이어서, 상기 비트라인(112)들이 형성된 결과물의 전면에 실리콘 산화물 계의 물질을 증착하여 제3 절연층(117)을 형성하고, 상기 제2 절연층 패턴(110)을 스톱퍼로 하여 CMP 또는 에치백과 같은 평탄화 공정을 수행한다. 즉, 상기 제2 절연

층 패턴(110)의 표면이 노출될 때까지 상기 제3 절연층(117)을 제거함으로써 제3 절연층(117)의 표면을 평탄화한다.

<128> 도 7b를 참조하면, 실시예 3의 도 5d 내지 도 5f에 도시한 바와 동일한 방법으로 실리콘 산화물로 이루어진 제3 절연층(117)에 대해 높은 식각 선택비를 갖는 물질, 예컨대 실리콘 질화물 또는 폴리실리콘으로 이루어진 콘택 패턴(116) 및 콘택 스페이서(118)를 형성한다. 바람직하게는, 상기 콘택 패턴(116)은 실리콘 질화물로 형성하고 상기 콘택 스페이서(118)는 폴리실리콘으로 형성한다.

<129> 상기 콘택 패턴(116)은 상기 비트라인(112)의 폭보다 큰 폭으로 형성하며, 콘택 패턴(116)과 콘택 패턴(116) 사이의 간격은 스토리지 노드 콘택홀의 디자인-룰로 결정된다. 콘택 패턴(116)을 실리콘 질화물로 형성하는 경우, 상기 콘택 패턴(116)을 후속 공정에서 형성되어질 스토리지 노드 콘택 플러그와 스토리지 노드 콘택 플러그 간의 격리를 위한 층간 절연막으로 사용할 수 있다.

<130> 도 7c를 참조하면, 상기 콘택 패턴(116) 및 콘택 스페이서(118)를 식각 마스크로 이용하여 상기 제3 절연층(117) 및 제1 절연층(106)을 이방성 식각함으로써 상기 비트라인(112)과 비트라인(112) 사이에 위치한 캐패시터 콘택 영역, 즉 소오스/영역 상의 패드 전극(104)을 노출시키는 스토리지 노드 콘택홀(120)을 형성한다. 상기한 공정의 결과로, 상기 비트라인(112)의 측벽 상에 제3 절연층 패턴(117a)으로 이루어진 스페이서가 형성된다.

<131> 도 7d를 참조하면, 상기 스토리지 노드 콘택홀(120)이 형성되어 있는 결과물의 전면에 제2 도전층, 예컨대 도핑된 폴리실리콘층을 증착한 후, CMP 또는 에치백

과 같은 평탄화 공정으로 상기 콘택 패턴(116)의 표면까지 상기 제2 도전층을 제거한다. 그러면, 각각의 스토리지 노드 콘택홀(120)의 내부에 노드 분리된 스토리지 노드 콘택 플러그(122)가 형성된다.

【발명의 효과】

<132> 상술한 바와 같이 본 발명에 의하면, 실리콘 산화물 계의 물질에 대해 식각 선택비를 갖는 물질로 이루어진 콘택 패턴 및 콘택 스페이서를 비트라인과 같은 배선 위에 형성한 후, 상기 콘택 패턴 및 콘택 스페이서를 식각 마스크로 이용하여 실리콘 산화물 계의 물질로 이루어진 절연층을 식각하여 배선과 배선 사이에 콘택홀을 형성한다. 상기 콘택 식각 공정시 상기 콘택 패턴 및 콘택 스페이서가 배선의 도전층 패턴을 보호하는 역할을 하기 때문에, 배선의 절연층 패턴의 두께를 최소한으로 낮추어 배선의 높이를 줄일 수 있다. 따라서, 배선의 어스펙트비를 감소시켜 배선과 배선 사이의 갭 매립 마진을 증가시킬 수 있다.

<133> 또한, 스토리지 노드 콘택홀과 같이 배선과 배선 사이에 형성되는 콘택홀을 자기정렬 콘택 식각 방식으로 형성하지 않기 때문에, 배선의 솔더 마진을 확보하여 배선과 상기 콘택홀의 내부에 형성되는 콘택 플러그 간의 전기적 단락을 방지할 수 있다.

<134> 또한, 배선의 측벽에 유전율이 작은 실리콘 산화물 계의 물질로 이루어진 스페이서가 형성되기 때문에, 배선과 배선 사이 및 배선과 콘택 플러그 간의 기생 캐패시턴스를 줄일 수 있다.

<135> 상술한 바와 같이, 본 발명의 바람직한 실시예를 참조하여 설명하였지만 해당 기술분야의 숙련된 당업자라면 하기의 특허 청구의 범위에 기재된 본 발명의 사상 및 영역으

로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.

【특허청구범위】**【청구항 1】**

반도체 기판;

상기 기판 상에 형성된 제1 절연층;

상기 제1 절연층 상에 형성되고, 도전층 패턴 및 상기 도전층 패턴 상에 적층된 제2 절연층 패턴을 포함하는 배선들;

각 배선의 측벽에 형성된 실리콘 산화물 계의 물질로 이루어진 제3 절연층 패턴들 ; 및

그 측벽에 형성된 콘택 스페이서들을 포함하여 각 배선 위에 형성되고, 상기 제3 절연층 패턴의 외주면에 접하면서 상기 제1 절연층을 관통하여 상기 제1 절연층의 하부 영역을 노출시키는 콘택홀을 한정하는 콘택 패턴들을 구비하는 것을 특징으로 하는 반도체 장치.

【청구항 2】

제1항에 있어서, 상기 제3 절연층 패턴은 각 배선의 상면 및 측벽에 연속적으로 형성되고, 상기 콘택 패턴은 각 배선 상면의 제3 절연층 패턴 위에 형성된 것을 특징으로 하는 반도체 장치.

【청구항 3】

제1항에 있어서, 상기 제3 절연층 패턴은 상기 콘택 스페이서에 정렬되어 형성된 것을 특징으로 하는 반도체 장치.

【청구항 4】

제1항에 있어서, 상기 콘택 패턴은 상기 배선의 폭보다 큰 폭으로 형성된 것을 특징으로 하는 반도체 장치.

【청구항 5】

제1항에 있어서, 상기 콘택 패턴 및 상기 콘택 스페이서는 상기 제3 절연층 패턴에 대해 식각 선택비를 갖는 물질로 이루어진 것을 특징으로 하는 반도체 장치.

【청구항 6】

제5항에 있어서, 상기 콘택 패턴 및 상기 콘택 스페이서는 실리콘 질화물 또는 폴리실리콘으로 이루어진 것을 특징으로 하는 반도체 장치.

【청구항 7】

캐패시터 콘택 영역들을 갖는 반도체 기판;

상기 기판 상에 형성된 제1 절연층;

상기 캐패시터 콘택 영역들 사이의 제1 절연층 상에 형성되고, 제1 도전층 패턴 및 상기 제1 도전층 패턴 상에 적층된 제2 절연층 패턴을 포함하는 비트라인들;

각 비트라인의 측벽에 형성된 실리콘 산화물 계의 물질로 이루어진 제3 절연층 패턴들; 및

그 측벽에 형성된 콘택 스페이서들을 포함하여 각 비트라인 위에 형성되고, 상기 제3 절연층 패턴의 외주면에 접하면서 상기 제1 절연층을 관통하여 상기 비트라인들 사이의 상기 캐패시터 콘택 영역을 노출시키는 스토리지 노드 콘택홀을 한정하는 콘택 패턴들을 구비하는 것을 특징으로 하는 반도체 장치.

【청구항 8】

제7항에 있어서, 상기 캐패시터 콘택 영역은 랜딩 패드 전극인 것을 특징으로 하는 반도체 장치.

【청구항 9】

제7항에 있어서, 상기 제3 절연층 패턴은 각 비트라인의 상면 및 측벽에 연속적으로 형성되고, 상기 콘택 패턴은 각 비트라인 상면의 제3 절연층 패턴 위에 형성된 것을 특징으로 하는 반도체 장치.

【청구항 10】

제7항에 있어서, 각 비트라인의 측벽에 형성된 상기 제3 절연층 패턴은 상기 콘택 스페이서에 정렬되어 형성된 것을 특징으로 하는 반도체 장치.

【청구항 11】

제7항에 있어서, 상기 콘택 패턴은 상기 비트라인의 폭보다 큰 폭으로 형성된 것을 특징으로 하는 반도체 장치.

【청구항 12】

제7항에 있어서, 상기 콘택 패턴 및 상기 콘택 스페이서는 상기 제3 절연층 패턴에 대해 식각 선택비를 갖는 물질로 이루어진 것을 특징으로 하는 DRAM 장치.

【청구항 13】

제12항에 있어서, 상기 콘택 패턴 및 상기 콘택 스페이서는 실리콘 질화물 또는 폴리실리콘 중의 어느 하나로 이루어진 것을 특징으로 하는 반도체 장치.

【청구항 14】

제7항에 있어서, 상기 캐패시터 콘택 영역과 접속되도록 상기 스토리지 노드 콘택홀의 내부에 형성되고, 제2 도전층으로 이루어진 스토리지 노드 콘택 플러그를 더 구비하는 것을 특징으로 하는 반도체 장치.

【청구항 15】

제14항에 있어서, 상기 스토리지 노드 콘택 플러그는 상기 콘택 패턴의 표면과 평탄화되도록 형성된 것을 특징으로 하는 반도체 장치.

【청구항 16】

제14항에 있어서, 상기 제3 절연층 패턴은 각 비트라인의 상면 및 측벽에 연속적으로 형성되고, 상기 스토리지 노드 콘택 플러그는 상기 제3 절연층 패턴의 표면과 평탄화되도록 형성된 것을 특징으로 하는 반도체 장치.

【청구항 17】

반도체 기판 상에 제1 절연층을 형성하는 단계;

상기 제1 절연층 상에, 도전층 패턴 및 상기 도전층 패턴 상에 적층된 제2 절연층 패턴을 포함하는 배선들을 형성하는 단계;

상기 배선들 및 상기 제1 절연층 상에 실리콘 산화물 계의 물질로 이루어진 제3 절연층을 형성하는 단계;

각 배선 위에, 상기 제1 절연층의 하부 영역을 노출시키는 콘택홀을 한정하기 위한 콘택 패턴들을 형성하는 단계;

각 콘택 패턴의 측벽에 콘택 스페이서들을 형성하는 단계; 및

상기 콘택 패턴 및 콘택 스페이서들을 마스크로 이용하여 상기 제3 절연층 및 제1 절연층을 식각하여 상기 콘택홀을 형성함과 동시에, 각 배선의 측벽에 제3 절연층 패턴을 형성하는 단계를 구비하는 것을 특징으로 하는 반도체 장치의 제조방법.

【청구항 18】

제17항에 있어서, 상기 콘택 패턴들을 형성하는 단계 전에, 상기 배선들 위의 소정 부위까지 상기 제3 절연층을 평탄화시키는 단계를 더 구비하는 것을 특징으로 하는 반도체 장치의 제조방법.

【청구항 19】

제17항에 있어서, 상기 콘택 패턴들을 형성하는 단계 전에, 상기 제2 절연층 패턴의 표면이 노출될 때까지 상기 제3 절연층을 평탄화시키는 단계를 더 구비하는 것을 특징으로 하는 반도체 장치의 제조방법.

【청구항 20】

제17항에 있어서, 상기 콘택 패턴은 상기 콘택홀을 형성하기 위한 식각 공정시 그 하부의 제3 절연층을 충분히 보호할 수 있을 정도의 두께로 형성된 것을 특징으로 하는 반도체 장치의 제조방법.

【청구항 21】

제17항에 있어서, 상기 콘택 패턴은 상기 배선의 폭보다 큰 폭으로 형성된 것을 특징으로 하는 반도체 장치의 제조방법.

【청구항 22】

제17항에 있어서, 상기 콘택 스페이서는 상기 제1 절연층의 하부 영역에 오버랩될 수 있을 정도의 두께로 형성하는 것을 특징으로 하는 반도체 장치의 제조방법.

【청구항 23】

제17항에 있어서, 상기 콘택 패턴 및 상기 콘택 스페이서는 상기 제3 절연층에 대해 식각 선택비를 갖는 물질로 형성하는 것을 특징으로 하는 반도체 장치의 제조방법.

【청구항 24】

제23항에 있어서, 상기 콘택 패턴 및 상기 콘택 스페이서는 실리콘 질화물 또는 폴리실리콘으로 형성하는 것을 특징으로 하는 반도체 장치의 제조방법.

【청구항 25】

캐패시터 콘택 영역들을 갖는 반도체 기판 상에 제1 절연층을 형성하는 단계;

상기 캐패시터 콘택 영역들 사이의 제1 절연층 상에, 제1 도전층 패턴 및 제2 절연층 패턴을 포함하는 비트라인들을 형성하는 단계;

상기 비트라인들 및 제1 절연층 상에 실리콘 산화물 계의 물질로 이루어진 제3 절연층을 형성하는 단계;

각 비트라인 위에, 상기 비트라인들 사이의 상기 캐패시터 콘택 영역을 노출시키는 스토리지 노드 콘택홀을 한정하기 위한 콘택 패턴들을 형성하는 단계;

각 콘택 패턴의 측벽에 콘택 스페이서들을 형성하는 단계; 및

상기 콘택 패턴 및 콘택 스페이서들을 마스크로 이용하여 상기 제3 절연층 및 제1 절연층을 식각하여 상기 스토리지 노드 콘택홀을 형성함과 동시에, 각 비트라인의 측벽

에 제3 절연층 패턴을 형성하는 단계를 구비하는 것을 특징으로 하는 반도체 장치의 제조방법.

【청구항 26】

제25항에 있어서, 상기 콘택 패턴들을 형성하는 단계 전에, 상기 비트라인들 위의 소정 부위까지 상기 제3 절연층을 평탄화시키는 단계를 더 구비하는 것을 특징으로 하는 반도체 장치의 제조방법.

【청구항 27】

제25항에 있어서, 상기 콘택 패턴들을 형성하는 단계 전에, 상기 제2 절연층 패턴의 표면이 노출될 때까지 상기 제3 절연층을 평탄화시키는 단계를 더 구비하는 것을 특징으로 하는 반도체 장치의 제조방법.

【청구항 28】

제25항에 있어서, 상기 콘택 패턴은 상기 스토리지 노드 콘택홀을 형성하기 위한 식각 공정시 그 하부의 제3 절연층을 충분히 보호할 수 있을 정도의 두께로 형성된 것을 특징으로 하는 반도체 장치의 제조방법.

【청구항 29】

제25항에 있어서, 상기 콘택 패턴은 상기 비트라인의 폭보다 큰 폭으로 형성하는 것을 특징으로 하는 반도체 장치의 제조방법.

【청구항 30】

제25항에 있어서, 상기 콘택 스페이서는 상기 캐패시터 콘택 영역에 오버랩될 수 있을 정도의 두께로 형성하는 것을 특징으로 하는 반도체 장치의 제조방법.

【청구항 31】

제25항에 있어서, 상기 콘택 패턴 및 상기 콘택 스페이서는 상기 제3 절연층에 대해 식각 선택비를 갖는 물질로 형성하는 것을 특징으로 하는 반도체 장치의 제조방법.

【청구항 32】

제31항에 있어서, 상기 콘택 패턴 및 상기 콘택 스페이서는 실리콘 질화물 또는 폴리실리콘 중의 어느 하나로 형성하는 것을 특징으로 하는 반도체 장치의 제조방법.

【청구항 33】

제25항에 있어서, 상기 스토리지 노드 콘택홀을 형성하는 단계 후,

상기 콘택 패턴, 콘택 스페이서 및 스토리지 노드 콘택홀들 상에 제2 도전층을 증착하여 상기 스토리지 노드 콘택홀을 상기 제2 도전층으로 매립하는 단계; 및

상기 제2 도전층을 화학 기계적 연마(CMP) 방법 또는 에치백 방법으로 평탄화시켜 상기 스토리지 노드 콘택홀의 내부에 상기 캐패시터 콘택 영역과 접속되는 스토리지 노드 콘택 플러그를 형성하는 단계를 더 구비하는 것을 특징으로 하는 반도체 장치의 제조방법.

【청구항 34】

제33항에 있어서, 상기 제2 도전층을 상기 콘택 패턴의 표면까지 평탄화시키는 것을 특징으로 하는 반도체 장치의 제조방법.

【청구항 35】

제33항에 있어서, 상기 콘택 패턴들을 형성하는 단계 전에 상기 비트라인들 위의 소정 부위까지 상기 제3 절연층을 평탄화시키는 단계를 더 구비하고,

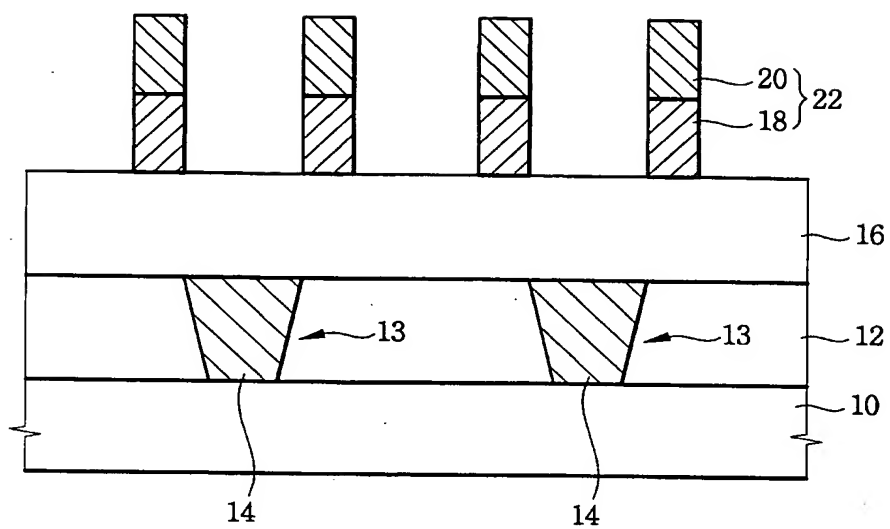
상기 제2 도전층을 상기 비트라인의 상면에 형성된 제3 절연층 패턴의 표면까지 평탄화시키는 것을 특징으로 하는 반도체 장치의 제조방법.

【청구항 36】

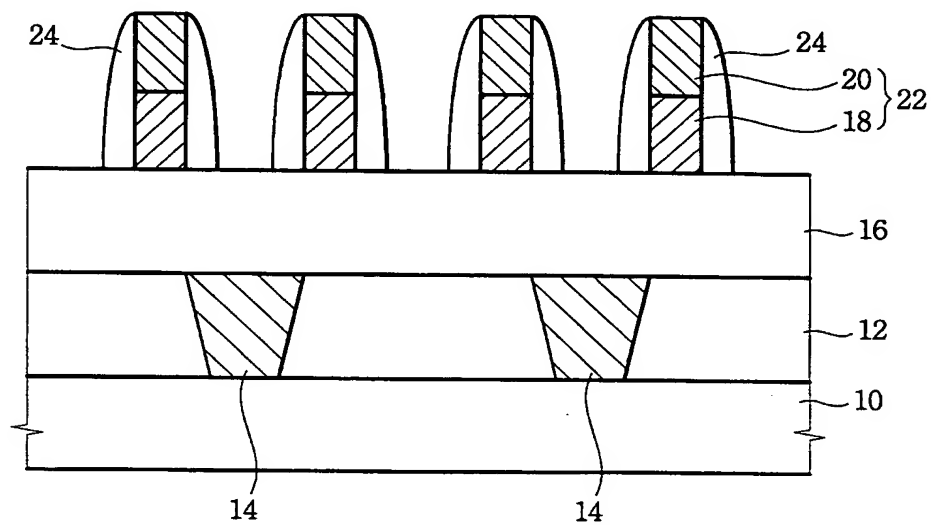
제35항에 있어서, 상기 제3 절연층 패턴은 그 하부의 비트라인을 충분히 보호할 수 있을 정도의 두께로 형성된 것을 특징으로 하는 반도체 장치의 제조방법.

【도면】

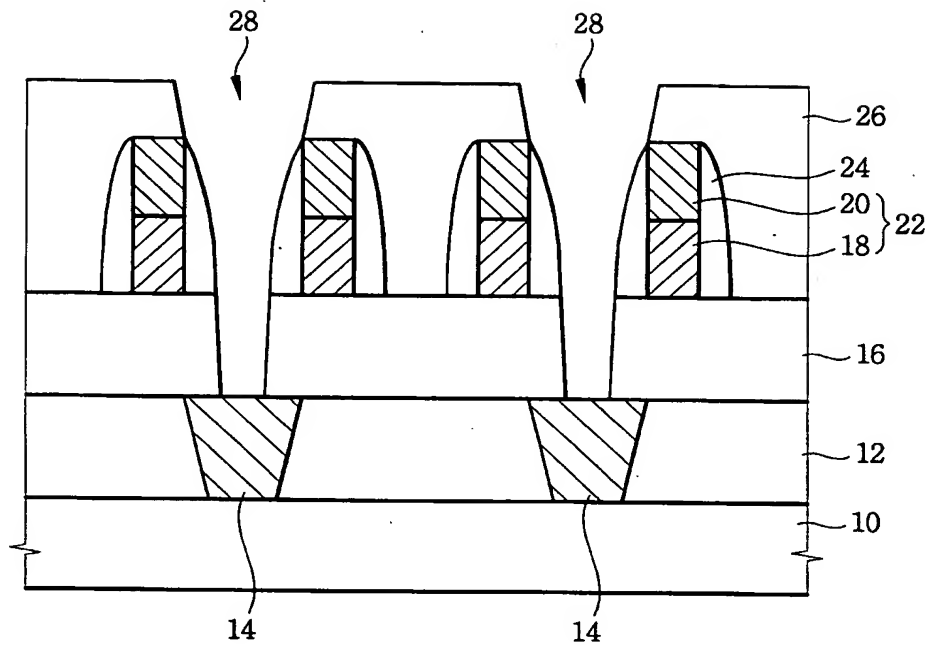
【도 1a】



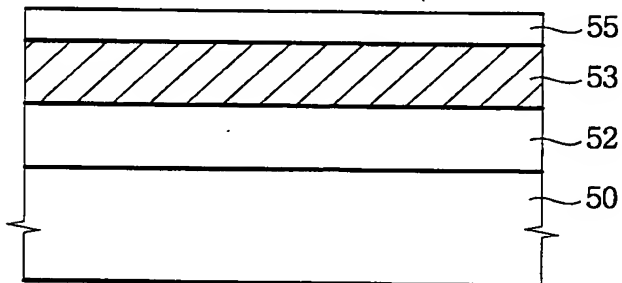
【도 1b】



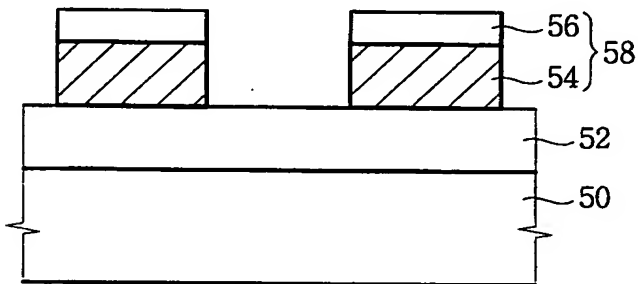
【도 1c】



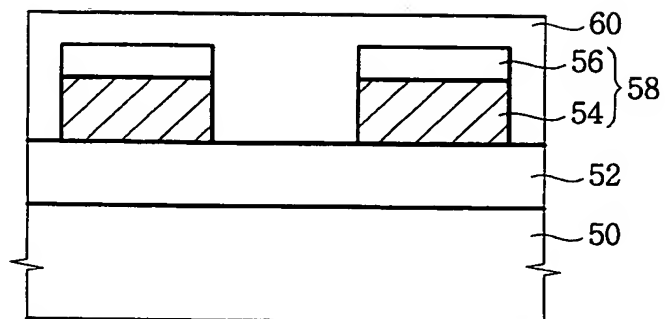
【도 2a】



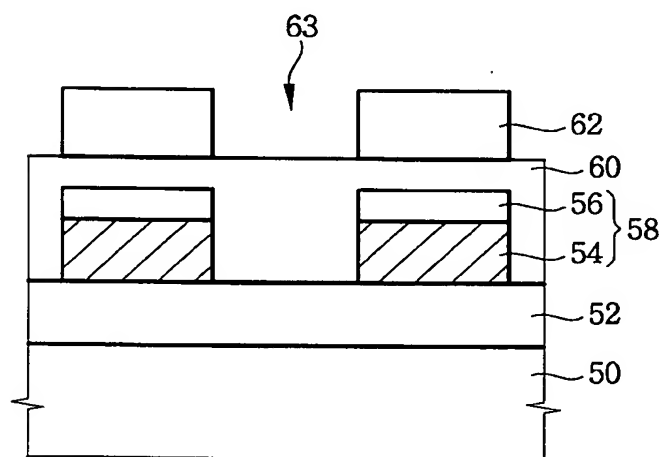
【도 2b】



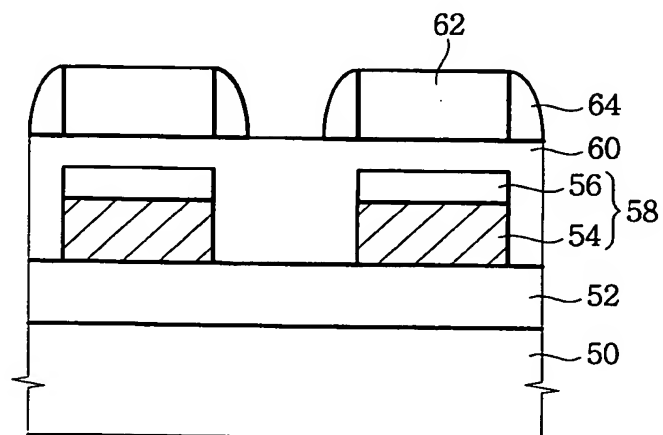
【도 2c】



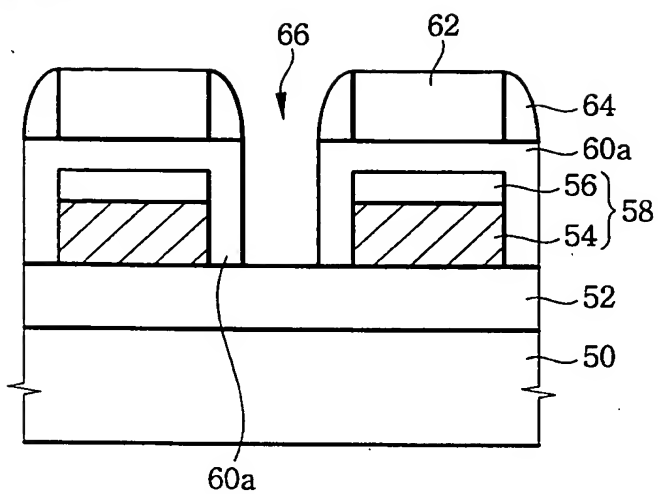
【도 2d】



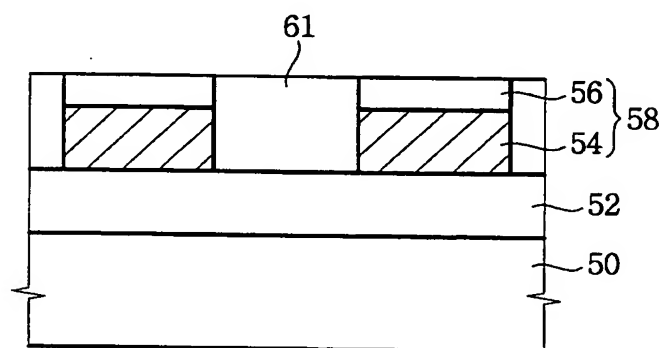
【도 2e】



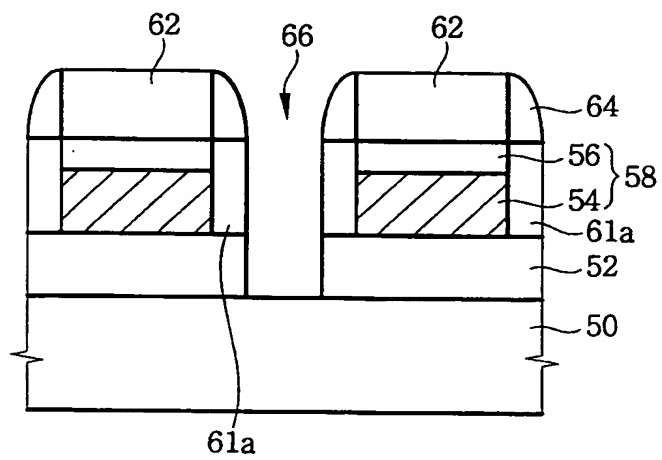
【도 2f】



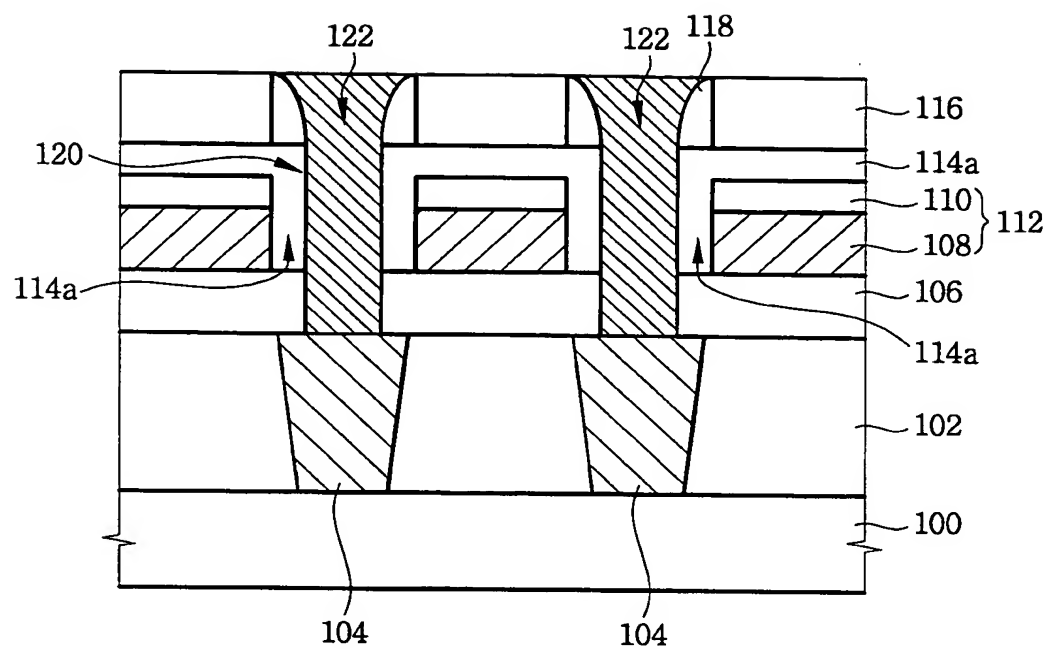
【도 3a】



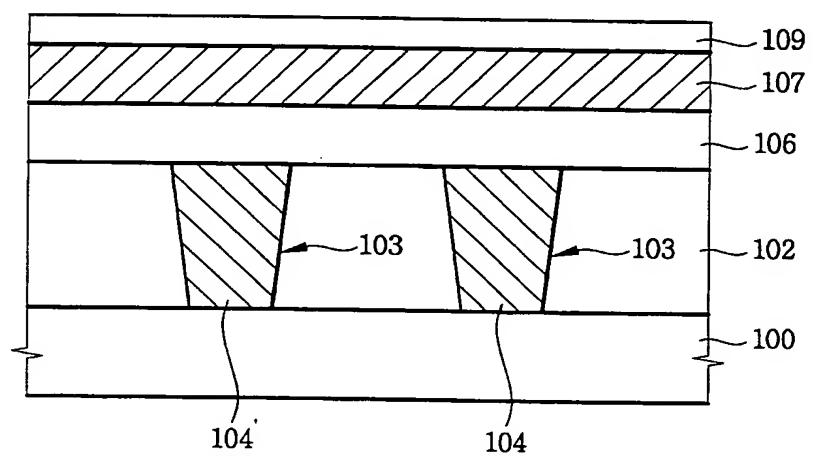
【도 3b】



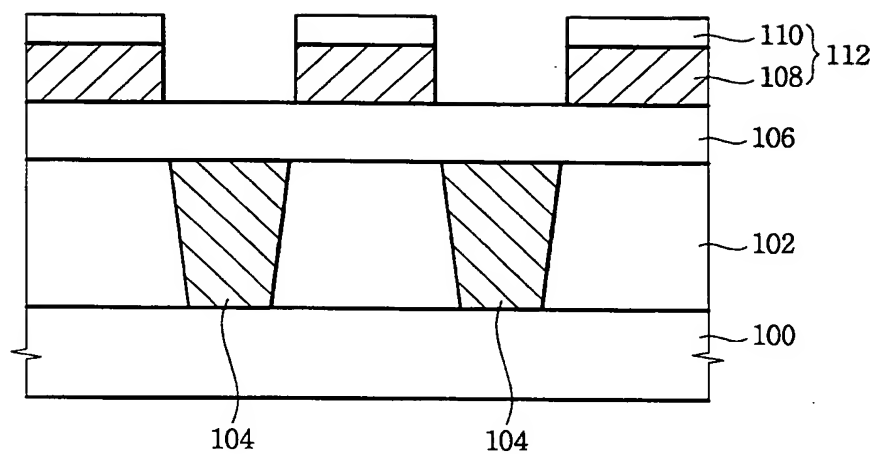
【도 4】



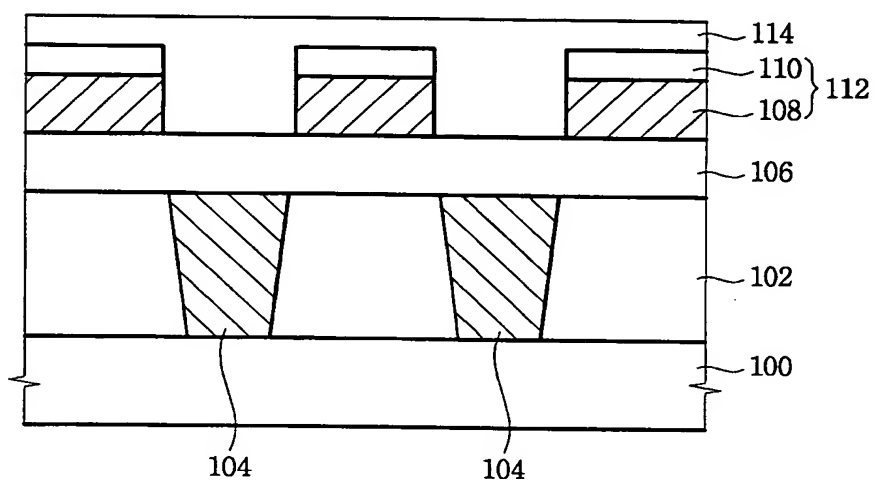
【도 5a】



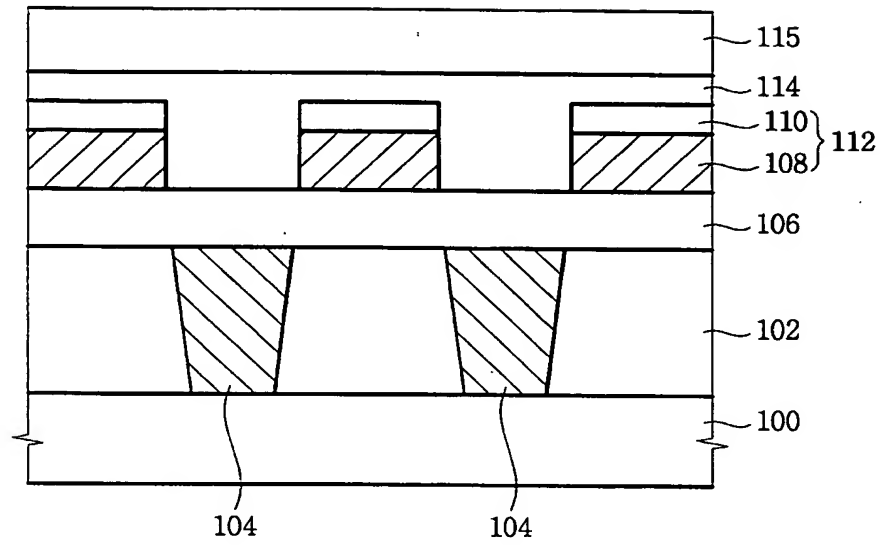
【도 5b】



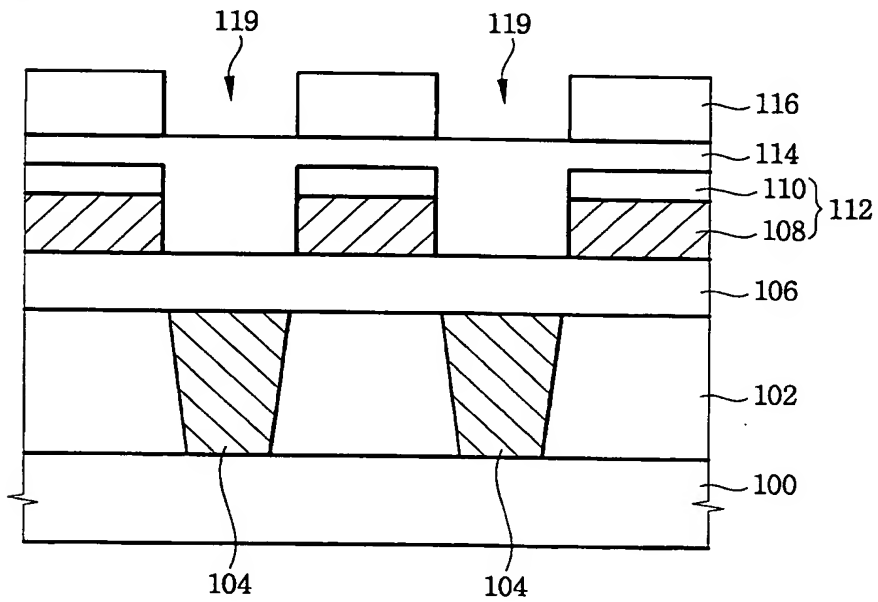
【도 5c】



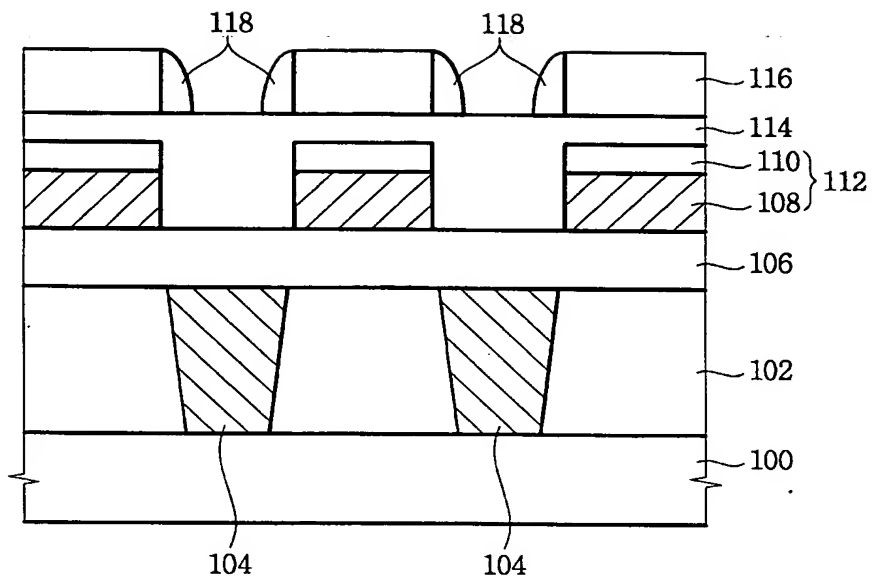
【도 5d】



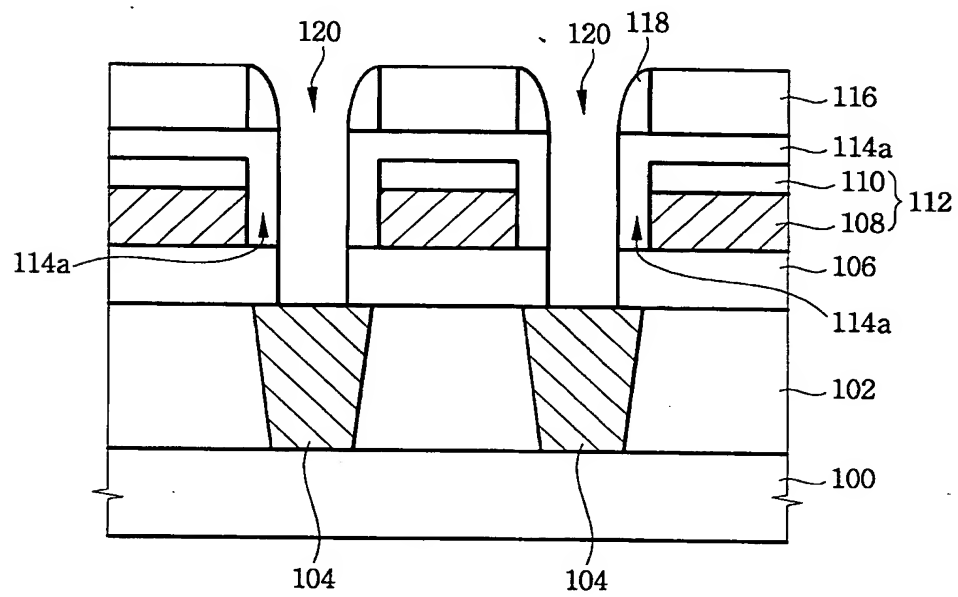
【도 5e】



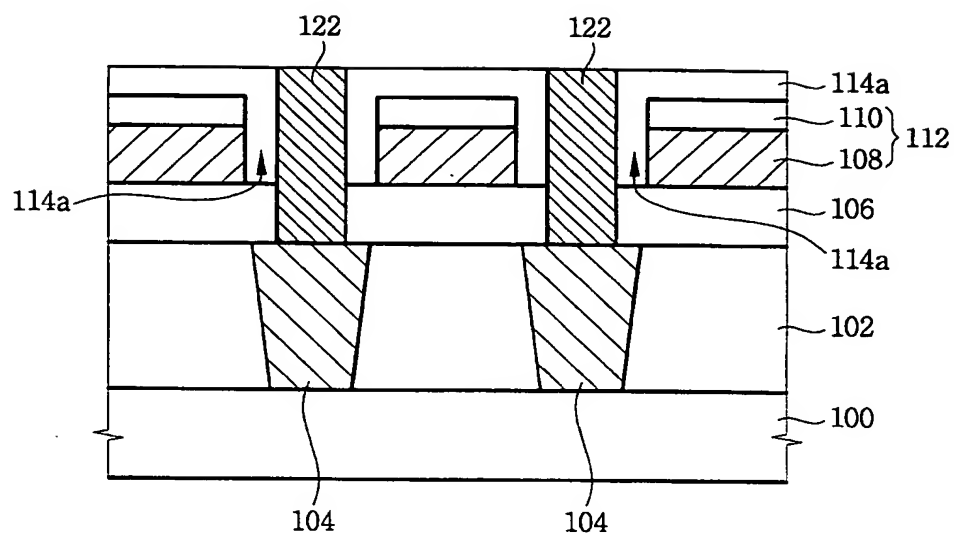
【도 5f】



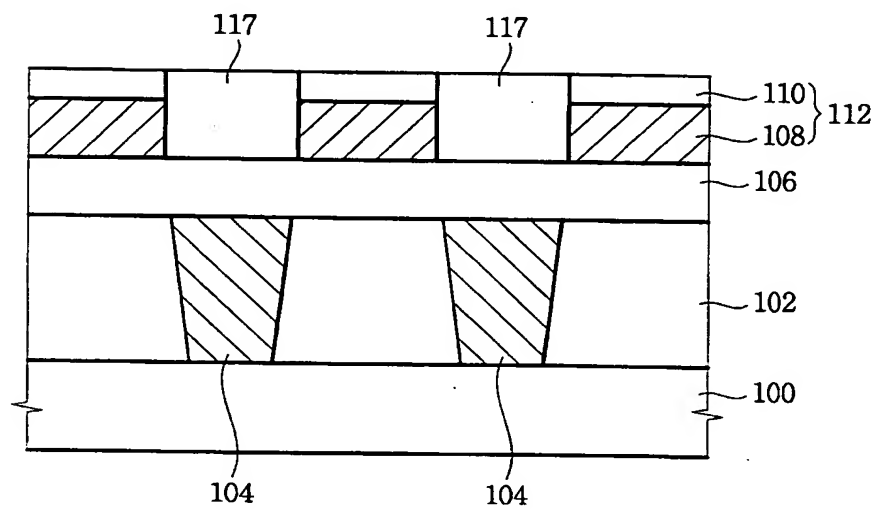
【도 5g】



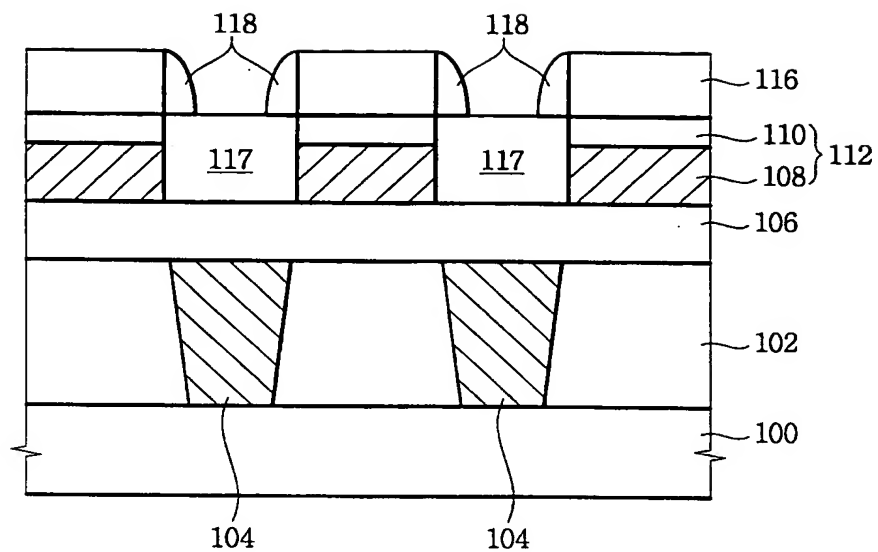
【도 6b】



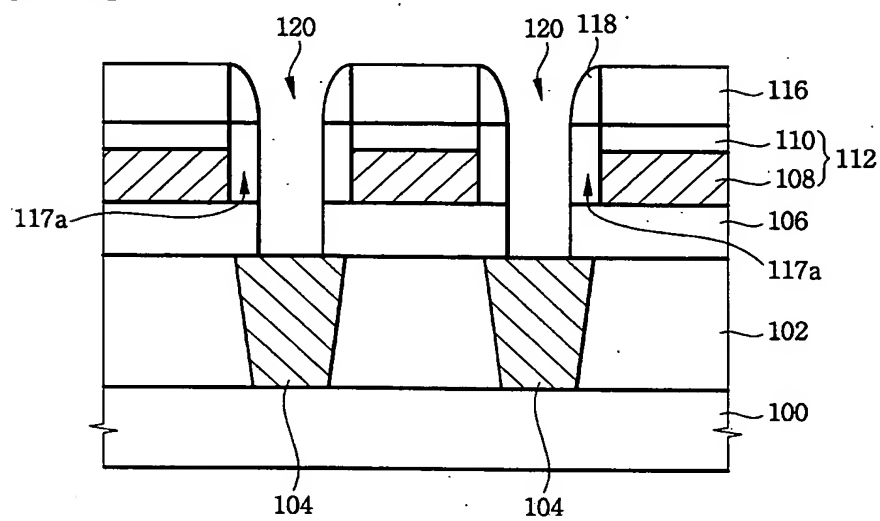
【도 7a】



【도 7b】



【도 7c】



【도 7d】

